

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-289472

(43)公開日 平成11年(1999)10月19日

(51)Int.Cl. <sup>6</sup>	識別記号	F I
H 0 4 N 5/202		H 0 4 N 5/202
G 0 9 G 3/20	6 4 1	G 0 9 G 3/20 6 4 1 Q
3/22		3/22 H
5/10		5/10 Z
H 0 4 N 5/68		H 0 4 N 5/68 B
審査請求 未請求 請求項の数35 O L (全 27 頁)		

(21)出願番号 特願平10-88966

(22)出願日 平成10年(1998)4月1日

(71)出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72)発明者 阿部 直人

東京都大田区下丸子3丁目30番2号 キヤ  
ノン株式会社内

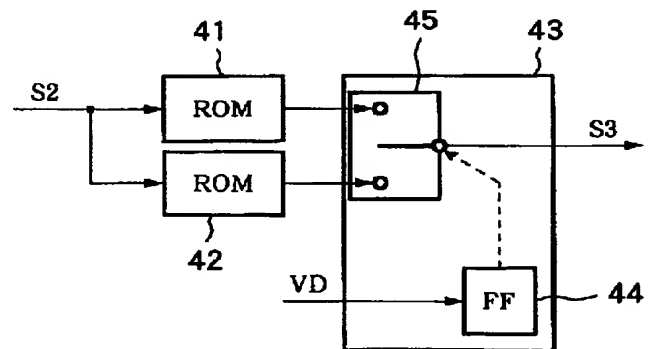
(74)代理人 弁理士 大塚 康徳 (外2名)

(54)【発明の名称】 画像処理方法及び装置と画像表示装置

(57)【要約】

【課題】 再生される画像の輝度分解能で画像信号を補正する。

【解決手段】 入力した画像信号をROM41、42のアドレスとして入力し、これらROM41、42から出力される補正データを変換テーブル制御器43により、各フレーム毎に切り換えて出力する。これらROM41、42のそれぞれは、同じアドレスのデータの平均値が、例えばBTA、SAMPLE1125/60スタジオ規格に従って計算した計算値に略等しくなるような補正データを記憶しており、これらROM41、42に記憶された補正データは、画像表示においてパルス幅変調されたパルス幅の最小分解能となるように設定されている。



Best Available Copy

## 【特許請求の範囲】

【請求項 1】 画像信号を入力して処理する画像処理装置であって、

画像信号に対応して補正データを記憶する複数の記憶手段と、

入力した画像信号に対応して前記複数の記憶手段のそれぞれから出力される補正データを選択する選択手段と、前記選択手段により選択された補正データを前記入力した画像信号の処理データとして出力する手段と、を有することを特徴とする画像処理装置。

【請求項 2】 前記複数の記憶手段は、同じ画像信号に対応して複数の補正データを有し、前記複数の補正データの平均値が当該画像信号の補正值に略等しいことを特徴とする請求項 1 に記載の画像処理装置。

【請求項 3】 前記複数の記憶手段の同一の画像信号入力に対する補正データの出力差は最大 1 であることを特徴とする請求項 2 に記載の画像処理装置。

【請求項 4】 前記複数の記憶手段の同一の画像信号入力に対する補正データの出力差は最大 1 階調であることを特徴とする請求項 2 に記載の画像処理装置。

【請求項 5】 前記選択手段は、前記画像信号のフレーム毎に前記複数の記憶手段のいずれかの出力を選択することを特徴とする請求項 1 又は 2 に記載の画像処理装置。

【請求項 6】 前記選択手段は更に、入力した画像信号の画素毎に前記複数の記憶手段のいずれかの出力を選択することを特徴とする請求項 2 に記載の画像処理装置。

【請求項 7】 前記選択手段は更に、入力した画像信号のフレームと各走査線毎に前記複数の記憶手段のいずれかの出力を選択することを特徴とする請求項 1 に記載の画像処理装置。

【請求項 8】 前記選択手段は更に、入力した画像信号の画素毎に前記複数の記憶手段のいずれかの出力を選択することを特徴とする請求項 7 に記載の画像処理装置。

【請求項 9】 前記複数の記憶手段の数は 2 であることを特徴とする請求項 1 乃至 8 のいずれか 1 項に記載の画像処理装置。

【請求項 10】 前記複数の記憶手段の数は 4 であることを特徴とする請求項 1 乃至 8 のいずれか 1 項に記載の画像処理装置。

【請求項 11】 前記複数の記憶手段のそれぞれは ROM テーブルを有し、前記入力した画像信号は前記 ROM テーブルのアドレスとして入力されることを特徴とする請求項 1 乃至 10 のいずれか 1 項に記載の画像処理装置。

【請求項 12】 画像信号を入力して処理する画像処理方法であって、  
入力した画像信号に対応して、複数の補正データを記憶する複数のメモリのそれぞれから出力される補正データを選択する選択工程と、

前記選択工程で選択された補正データを前記入力した画像信号の処理データとして出力する工程と、を有することを特徴とする画像処理方法。

【請求項 13】 前記複数のメモリは、同じ画像信号に対応して複数の補正データを記憶しており、前記複数の補正データの平均値が当該画像信号の補正值に略等しいことを特徴とする請求項 12 に記載の画像処理方法。

【請求項 14】 前記複数のメモリの同一画像信号に対する補正データの出力差は最大 1 であることを特徴とする請求項 12 に記載の画像処理方法。

【請求項 15】 前記複数のメモリの同一画像信号に対する補正データの出力差は最大 1 階調であることを特徴とする請求項 12 に記載の画像処理方法。

【請求項 16】 前記選択工程では、前記画像信号のフレーム毎に前記複数のメモリのいずれかの出力を選択することを特徴とする請求項 12 又は 13 に記載の画像処理方法。

【請求項 17】 前記選択工程では更に、入力した画像信号の画素毎に前記複数のメモリのいずれかの出力を選択することを特徴とする請求項 13 に記載の画像処理装置。

【請求項 18】 前記選択工程では更に、入力した画像信号のフレームと各走査線毎に前記複数のメモリのいずれかの出力を選択することを特徴とする請求項 12 に記載の画像処理方法。

【請求項 19】 前記選択工程では更に、入力した画像信号の画素毎に前記複数のメモリのいずれかの出力を選択することを特徴とする請求項 16 に記載の画像処理方法。

【請求項 20】 前記複数のメモリの数は 2 であることを特徴とする請求項 12 乃至 19 のいずれか 1 項に記載の画像処理方法。

【請求項 21】 前記複数のメモリの数は 4 であることを特徴とする請求項 12 乃至 19 のいずれか 1 項に記載の画像処理方法。

【請求項 22】 前記複数のメモリのそれぞれは ROM テーブルを有し、前記入力した画像信号は前記 ROM テーブルのアドレスとして入力されることを特徴とする請求項 12 乃至 21 のいずれか 1 項に記載の画像処理方法。

【請求項 23】 画像信号を入力して表示する画像表示装置であって、

画像信号を入力する入力手段と、

前記入力手段により入力した画像信号に対応して補正データを記憶する複数のメモリを備え、前記複数のメモリのそれぞれから出力される補正データを選択して前記入力した画像信号を補正する補正手段と、  
前記補正手段により補正された画像信号に基づいて表示信号を生成する表示信号生成手段と、

前記表示信号生成手段により生成された表示信号に基づ

いて表示器を駆動して画像を表示する表示制御手段と、を有することを特徴とする画像表示装置。

【請求項 2 4】 前記複数のメモリは、同じ画像信号に対応して複数の補正データを有し、前記複数の補正データの平均値が当該画像信号の補正值に略等しいことを特徴とする請求項 2 3 に記載の画像表示装置。

【請求項 2 5】 前記複数のメモリに入力される同一の画像信号に対する補正データの出力差が最大 1 であることを特徴とする請求項 2 3 に記載の画像表示装置。

【請求項 2 6】 前記複数のメモリに入力される同一の画像信号に対する補正データの出力差が最大 1 階調であることを特徴とする請求項 2 3 に記載の画像表示装置。

【請求項 2 7】 前記補正手段は、前記画像信号のフレーム毎に前記複数のメモリのいずれかの出力を選択することを特徴とする請求項 2 3 又は 2 4 に記載の画像表示装置。

【請求項 2 8】 前記補正手段は更に、入力した画像信号の画素毎に前記複数のメモリのいずれかの出力を選択することを特徴とする請求項 2 4 に記載の画像表示装置。

【請求項 2 9】 前記補正手段は更に、入力した画像信号のフレームと各走査線毎に前記複数のメモリのいずれかの出力を選択することを特徴とする請求項 2 3 に記載の画像表示装置。

【請求項 3 0】 前記補正手段は更に、入力した画像信号の画素毎に前記複数のメモリのいずれかの出力を選択することを特徴とする請求項 2 7 に記載の画像表示装置。

【請求項 3 1】 前記複数のメモリの数は 2 であることを特徴とする請求項 2 3 乃至 3 0 のいずれか 1 項に記載の画像表示装置。

【請求項 3 2】 前記複数のメモリの数は 4 であることを特徴とする請求項 2 3 乃至 3 0 のいずれか 1 項に記載の画像表示装置。

【請求項 3 3】 前記複数のメモリのそれぞれは ROM テーブルを有し、前記入力した画像信号は前記 ROM テーブルのアドレスとして入力されることを特徴とする請求項 2 3 乃至 3 2 のいずれか 1 項に記載の画像表示装置。

【請求項 3 4】 前記表示信号生成手段は、前記補正された画像信号の値に応じた長さのパルス信号を表示信号として生成することを特徴とする請求項 2 3 に記載の画像表示装置。

【請求項 3 5】 前記表示器は、マトリクス状に配列された複数の電子放出素子を有し、前記表示信号は前記表示器の列配線に印加され、前記表示制御手段は前記表示器の行配線を前記入力した画像信号に同期して順次選択して駆動することを特徴とする請求項 2 3 に記載の画像表示装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】 本発明は、画像信号を入力して処理する画像処理方法及び装置と画像表示装置に関するものである。

【0 0 0 2】

【従来の技術】 テレビジョン信号などのカラー画像信号を入力し、CRT や液晶等のカラー表示パネルに表示する装置が知られている。このような装置では、入力したアナログ画像信号を A/D 変換し、その A/D 変換されたデジタル信号をガンマ補正して出力している。このようなガンマ補正回路としては、デジタル画像信号をアドレスとして入力し、そのアドレスに記憶されているガンマ補正データを読み出して出力するガンマ補正用 LUT (Look Up Table) が一般的である。

【0 0 0 3】 このような従来のガンマ補正テーブル LUT の一例を図 3 5 (a) (b) に示す。ここでは補正テーブルの入出力を 8 ビット幅としている。図 3 5 (a) は入力側 (アドレス) とそれに対する出力 (補正データ) との関係を示している。例えば低輝度の階調レベルでは、入力「0 0 H」(H は 1 6 進数を示す) に対して出力が「0 0 H」、中間調レベルでは入力「A A H」に対して出力が「5 5 H」、高輝度の階調のレベルでは、入力「F F H」に対して出力が「F F H」となっている。

【0 0 0 4】 こうして変換されるガンマ補正特性は図 3 5 (b) のようになる。

【0 0 0 5】

【発明が解決しようとする課題】 このような補正により、本来の目的である色信号の制御は良好に行なえたが、上述したような 8 ビット幅の補正テーブルの場合、ガンマ補正の計算値がデジタルデータの最小分解能以下には存在せず、その間のデータは必要に応じて出力データを補間したり、或は四捨五入等を行って求めている。そのため階調性 (輝度分解能) が損なわれ画質劣化が生じていた。これはガンマ補正の場合に限らず、コントラストの変換等を行なう場合も同様な問題となっていた。

【0 0 0 6】 本発明は上記従来例に鑑みてなされたもので、所望の輝度分解能で画像信号を補正する画像処理方法及び装置と画像表示装置を提供することを目的とする。

【0 0 0 7】 また本発明の目的は、画像信号の階調性を損なうことなく良好な画像を再生できる画像処理方法及び装置と画像表示装置を提供することにある。

【0 0 0 8】

【課題を解決するための手段】 上記目的を達成するために本発明の画像処理装置は以下のような構成を備える。即ち、画像信号を入力して処理する画像処理装置であって、画像信号に対応して補正データを記憶する複数の記憶手段と、入力した画像信号に対応して前記複数の記憶

手段のそれぞれから出力される補正データを選択する選択手段と、前記選択手段により選択された補正データを前記入力した画像信号の処理データとして出力する手段とを有することを特徴とする。

【0009】また上記目的を達成するために本発明の画像処理方法は以下のような工程を備える。即ち、画像信号を入力して処理する画像処理方法であって、入力した画像信号に対応して、複数の補正データを記憶する複数のメモリのそれぞれから出力される補正データを選択する選択工程と、前記選択工程で選択された補正データを前記入力した画像信号の処理データとして出力する工程とを有することを特徴とする。

【0010】上記目的を達成するために本発明の画像表示装置は以下のような構成を備える。即ち、画像信号を入力して表示する画像表示装置であって、画像信号を入力する入力手段と、前記入力手段により入力した画像信号に対応して補正データを記憶する複数のメモリを備え、前記複数のメモリのそれぞれから出力される補正データを選択して前記入力した画像信号を補正する補正手段と、前記補正手段により補正された画像信号に基づいて表示信号を生成する表示信号生成手段と、前記表示信号生成手段により生成された表示信号に基づいて表示器を駆動して画像を表示する表示制御手段とを有することを特徴とする。

#### 【0011】

【発明の実施の形態】以下、添付図面を参照して本発明の好適な実施の形態を詳細に説明する。尚、この実施の形態では、画像を表示する表示装置の例で説明するが、本発明はこれに限定されるものでなく、入力した画像信号に対してガンマ補正或は輝度補正などを行う画像処理装置にも適用できる。また、本実施の形態に係る画像表示装置に使用するマトリクス型の表示パネルは、基板上に多数の電子源例えば冷陰極素子を配列したマルチ電子源と、このマルチ電子源から放出される電子の照射により発光して画像を表示する画像形成部材を、この基板に対向させてフェースプレートに配設し、これら基板及びフェースプレート等を薄型の真空容器内に収容して構成されている。ここで冷陰極素子は、例えばフォトリソグラフィ・エッチングのような製造技術を用いることにより、基板上に正確に位置決めして形成できるため微小な間隔で多数個を配列することが可能である。しかも、従来からCRT等で用いられてきた熱陰極と比較すると、陰極自身や周辺部が比較的低温な状態で駆動できるため、より微細な配列ピッチのマルチ電子源を実現できる。尚、このマトリクス型表示パネルの構成と製造法については後述する。

【0012】以下、本発明の実施の実施の形態について図面を参照して説明する。

【0013】〔実施の形態1〕図1は、本発明の実施の形態1の画像表示装置の構成を示すブロック図である。

10

20

30

40

50

【0014】図1において、1は表示パネルで、基板上に多数の電子源、例えば冷陰極素子を配列してなるマルチ電子源を薄型の真空容器内に収容したマトリクス型の表示パネルで、図1に示す様に、例えば水平方向に480素子、即ち、160画素(RGB)×3分の電子放出素子が配置され、例えば、垂直方向には240素子(80画素分)が配置されている。本実施の形態では、表示パネル1の素子数は480素子×240素子としているが本発明はこれに限定されるものでなく、必要に応じて用途により決定される。この表示パネル1の発光体(蛍光体)は、RGBストライプ状に配列されている。2a~2cはアナログデジタル変換器(A/Dコンバータ)であり、不図示のデコードにより例えばNTSC信号からRGB信号にデコードされたアナログRGBコンポーネント信号を入力し、例えば各々8ビット幅のデジタルRGB信号に変換する。3aはデータ並び替え部で、A/Dコンバータ2a~2cにより変換された、或は外部のコンピュータ機器等から入力されたデジタルRGB信号(信号S1)を入力し、表示パネル1の表示画素の配列に合わせて、その入力したデジタルデータを並べ替えて出力(信号S2)している。4は輝度データ変換器で、データ並び替え部3から入力したデジタルデータを所望の輝度特性に変換する変換テーブルを備えており、例えばガンマ変換などを行なう。5はシフトレジスタで、輝度データ変換器4から出力されるシリアルデータをシフトクロック(SCLK)に同期して順次シフト入力し、表示パネル1のそれぞれの素子に対応したデジタルデータ(XD1~XD480)を形成する。6は変調信号発生部で、シフトレジスタ5から入力される1列分のデジタル画像データの値に応じたパルス幅の信号を出力する。7は水平駆動ドライバで、変調信号発生部6から出力されるパルス幅出力に応じて、表示パネル1の変調信号線(列配線)を駆動する(駆動信号X1~X480とする)。尚、この表示パネル1における発光輝度は、各素子の駆動信号のパルス幅にほぼ比例したものとなっている。

【0015】8は走査シフトレジスタで、入力した画像信号の水平走査同期信号(HD)を入力し、入力画像の走査線に対応する表示パネル1の走査配線を順次走査するデータを出力する。9は走査信号駆動ドライバで、走査シフトレジスタ8の出力に従って表示パネル1の走査配線(行配線)を順次駆動する。10はタイミング制御部で、入力した画像信号に同期信号(sync)やデータサンプリングクロック(DCLK)を入力し、前述の各部に所望のタイミングの制御信号を出力している。

【0016】図2は、本実施の形態の変調信号発生部6の1つの画像データ(RGBのいずれか)のための回路構成を示すブロック図である。

【0017】図2において、61はダウンカウンタであり、シフトレジスタ5から出力される各デジタルデー

タ(XD1~XD480のいずれか)をロード信号(Ld)のタイミングでロードし、クロック(PCLK)を入力する度のその値を-1(ダウンカウント)する。PWM出力は、このダウンカウンタ61の出力として出力される。即ち、このPWN出力は、ダウンカウンタ61に画像データがセットされた時点でハイレベルになり、ボロー(Borrow)が出力された時点でロウレベルになる。これにより「ロードされた画像データ×「クロック(PCLK)周期」で決まるパルス幅の信号が出力される。

【0018】図3は、この変調信号発生部6の動作タイミングを示す図である。この図3では、シフトレジスタ6から出力された画像データの値が「p」の場合の例を示している。

【0019】図4は、本実施の形態1の輝度データ変換器4の構成を示すブロック図である。

【0020】図4において、41、42のそれぞれは変換テーブル(ROM)であり、それぞれ輝度変換テーブルが記憶されている。43は変換テーブル制御器で、フリップフロップ44、セクタ45を有している。フリップフロップ44は、垂直同期信号(VD)をクロックとして入力し、フィールド(或いはフレーム)毎にその出力を反転させる。セクタ45は、フリップフロップ44の出力に応じて、2種類の変換テーブル(ROM41、ROM42)のいずれかの出力を選択する。

【0021】図5は、実施の形態1の変換テーブル制御器43の動作を説明する図である。この図から分かるように、フィールド番号「0」(偶数フィールド)ではROM41が選択され、フィールド番号「1」(奇数フィールド)ではROM42が選択されている。

【0022】図6は、本実施の形態1の変換テーブル、即ち、変換テーブル(ROM41、ROM42)における、アドレス対データの関係を示す図である。

【0023】図6において、入力側は変換テーブル(ROM41、ROM42)のアドレスとして入力される値を示し、出力側は各ROMに記憶されている値(入力アドレスに対するROMのデータ出力)を示している。

【0024】図7は本実施の形態1に係る画像表示装置における動作タイミングを示すタイミング図である。以下、上述の図面を参照して本実施の形態1における動作を説明する。

【0025】図1において、不図示のデコーダにより、例えばNTSC信号からRGB信号にデコードされたアナログRGBコンポーネント信号を、A/Dコンバータ

$$L = [(V + 0.1115) / 1.1115]^{(1/0.45)} : V \geq 0.0923$$

$$L = V / 4.0 : V < 0.0923$$

尚、ここで、「 $\wedge$ 」はべき乗を意味している。またL:出力輝度、V:入力データである。

【0028】図6において、入力側が上記式(1)の入力データVに該当している。本実施の形態1の表示パネル1は、入力した画像信号のパルス幅と発光輝度とがほ

2a~2cにより、各々例えば8ビット幅のデジタルRGB信号に変換する。尚、このデジタル信号は前述の様に外部のコンピュータ機器などから入力されても良い。こうしてデータ並び替え部3は、A/Dコンバータ2a~2c或はコンピュータ等からデジタルRGB信号(S1)を入力する。この際、1走査ライン(1H)の画素データの数は、表示パネル1の変調信号線側の画素数(水平方向の画素数)で決めると処理が簡単になる。本実施の形態1の場合、表示パネル1の変調信号線側の画素数は前述のように「160」としている。A/Dコンバータ2a~2c、またはコンピュータ等からのデジタルRGB信号(S1)は、不図示のデータサンプリングクロック(DCLK)と同期してデータ並び替え部3に入力される。

【0026】図7において、VDは垂直同期信号で、最初のVD信号によりROM41の出力が選択される。Dataはアナログ入力画像信号を示し、HDはこのアナログ画像信号の水平同期信号を示している。またY1、Y2、…信号は、この水平同期信号に同期して出力される、表示パネル1の走査信号(ロウツルー)を示している。

【0027】データ並び替え部3の入力信号(S1)は、RGBパラレル信号を、データサンプリングクロック(DCLK)の3倍の周波数のクロックである不図示のシフトクロック(SCLK)のタイミングで切り替えられ、表示パネル1のRGB画素配列に従って順次出力される(Data-1, Data-2, ..., Data-160)。データ並び替え部3の出力信号(S2)は輝度データ変換器4に入力されて、各フィールド毎に画像処理が施される。図4に示す様に輝度データ変換器4は、予め2種類の所望のデータが記憶されている変換テーブル(ROM41、ROM42)によりデータ並び替え部3の出力信号(S2)を順次変換する。フリップフロップ44は、垂直同期信号(VD)をクロックとして入力し、フィールド(或いはフレーム)毎にその出力を反転させる、フリップフロップ44の出力はセクタ45を制御し、図5に従って2種類の変換テーブル(ROM41、ROM42)の出力を選択する。これら2種類の変換テーブル(ROM41、ROM42)に記憶されている変換データは、輝度変換の一例としてガンマ変換用のデータである。ここでのガンマ変換特性として、例えば、BTA、SMPTE 1125/60スタジオ規格を用いて説明する。この規格では、

… 式(1)

ば比例しているので、変換テーブルにより入力値を出力輝度Lに比例させることにより、入力画像信号のガンマ変換が実現できる。上記式(1)に基づくパルス幅の計算値を図6の計算値の欄に示している。図6の計算値は式(1)からも明らかのように、変調信号発生部6のバ

ルス幅の最小分解能以下の分解能を有している（図6の計算値における小数点以下に対応）。そのため2種類の交換テーブル（ROM41、ROM42）はそれぞれ同一の入力に対して2種類の交換テーブル（ROM41、ROM42）の出力の差が変調信号発生部6のパルス幅の最小分解能（即ち、同一入力の時ROM41、42の出力の差が「1」）になるように決める。このような決め方により2種類の交換テーブル（ROM41、ROM42）に記憶されるデータを図6の様に決定した。

【0029】輝度データ変換器4の出力信号S3はシフトレジスタ5に送られ、シフトクロック（SCLK）に同期してシリアルデータを順次シフト転送し、表示パネル1のそれぞれの素子に対応したデジタルデータ（XD1～XD480）を走査信号時間（水平走査時間）単位で出力する。これらデータXD1～XD480は変調信号発生部6に入力され、前述したように、表示パネル1の各素子に対応するデジタルデータに応じたパルス幅の信号に変換される。即ち、変調信号発生部6は、「データ（入力値）」×「クロック（PCLK）周期」で決まるパルス幅の信号を出力する。水平駆動ドライバ7は、例えば+Vdd（例えば+8V）の電圧（X1～X480）で、変調信号発生部6の出力で決まるパルス幅で表示パネル1の変調信号線（列配線）を駆動する。

【0030】図7において、Ldは変調信号発生部6の各ダウンカウンタ61へのロード信号を示し、PCLKは時間を計数するためのクロックを示し、X1～X3、…は信号S3の値（R-0、G-0、B-0、…）に対応したパルス幅の信号を示している。

【0031】一方、走査シフトレジスタ8は、水平走査同期信号（HD）をシフトクロックとし、入力画像が送られてくるデジタルデータに対応する表示パネル1の走査配線を順次走査するデータを作る。そして走査シフトレジスタ8により選択された走査線の電圧が駆動電圧（-Vss：例えば-8V）になるように切り換えている。ここでは例えば図1の走査駆動ドライバ9で示すように、トランジスタスイッチング回路等で構成された480個のスイッチ回路を有し、各スイッチ回路は走査シフトレジスタ8の出力に応じて、対応する走査線を駆動電圧に接続するかどうか決定して各走査線への印加電圧を決定している。

【0032】ここで表示パネル1において、（+Vdd）または（-Vss）のみが印加される素子は、図31を参照して後述するように、素子の特性から発光に寄与しない。これに対し、（+Vdd）と（-Vss）が同時に印加された素子、即ち、電位差（+Vdd）-（-Vss）なる電圧が印加された素子は、その輝度に比例した時間（パルス幅）だけ電圧が印加されるため、その素子からは入力した画像データの値（輝度）に応じた電子が放出され、階調のある画像データが再生される

ことになる。このようにして順次行配線が走査され、その走査線に対応する画像データに対応するパルス信号が列配線に入力されることにより、表示パネル1に階調画像が表示される。

【0033】その結果、表示パネル1に良好な階調性で画像が表示できた。尚、静止画の場合は特にフィールド毎に変換テーブル（ROM41、42）が切り換えられるのでフリッカーノイズが出るのが懸念されるが、実際には、2種類の交換テーブル（ROM41、42）はそれぞれ同一の入力に対してその平均値が図6の計算値にほぼ等しく、特に入力に対して出力の差が変調信号発生部6のパルス幅の最小分解能になるように決めてあるので、フリッカーノイズが目立たなく、良好な階調性を再現できた。

【0034】〔実施の形態2〕次に本発明の実施の形態2について説明する。この実施の形態2と前述の実施の形態1との相違は、輝度データ変換器4の構成が異なるだけで他の構成要素については同じであるので、それらの説明を省略する。

【0035】図8は、本実施の形態2における輝度データ変換器4の構成を示すブロック図であり、図8において、41、42はそれぞれ交換テーブル（ROM41、42）であり、それぞれ前述の実施の形態1と同じ輝度交換テーブルが記憶されている。43aは交換テーブル制御器であり、以下の要素を備えている。44a、44bはフリップフロップである。フリップフロップ44aは垂直同期信号（VD）をクロックとし、フィールド（或いはフレーム）毎にその出力を反転させる。フリップフロップ44bはデータサンプリングクロック（DCLK）をクロックとして入力し、水平方向の1画素毎にその出力を反転させる。46は排他的論理和回路である。47はセクタであり、排他的論理和回路46の出力によって2種類の交換テーブル（ROM41、ROM42）の内のいずれかの出力を選択する。

【0036】図9は、実施の形態2の変換テーブル制御器43aの動作を示す図で、ここではフィールド番号が偶数「0」のときは、水平方向の画素毎にROM41、ROM42の順に変換テーブルが選択され、フィールド番号が奇数「1」のときは、水平方向の画素毎にROM42、ROM41の順に変換テーブルが選択されている。図10は、本発明の実施の形態2の画像表示装置における動作タイミングを示すタイミング図である。この図10と前述の図7との大きな相違点は、ROM41、42の切り換えが各画素毎に行われている点が異なっている。

【0037】以上の構成において、データ並び替え部3からの出力信号（S2）は輝度データ変換器4に入力される。図8に示す様に、輝度データ変換器4は、前述の実施の形態1と同様に、予め2種類のデータが記憶されている交換テーブル（ROM41、ROM42）によ

り、データ並び替え部3からの信号(S2)を順次変換する。一方、フリップフロップ44aは垂直同期信号

(VD)をクロックとして入力し、フィールド(或いはフレーム)毎に出力(フィールド番号と呼ぶ)を反転させる。フリップフロップ44bは、データサンプリングクロック(DCLK)をクロックとして入力し、水平方向の1画素毎に出力(データ番号と呼ぶ)を反転させる。フリップフロップ44a、フィールド番号及びデータ番号は、排他的論理和回路46に入力され、図9に示す様にフィールド番号及びデータ番号が同じ場合には変換テーブル(ROM41)の出力を、フィールド番号及びデータ番号が異なる場合には変換テーブル(ROM42)の出力を、セクタ45が選択するための制御信号を作る。セクタ45は、図9に示す様に、フィールド番号及びデータ番号に従って2種類の変換テーブル(ROM41, ROM42)のいずれかを選択する。

【0038】ここでは実施の形態1と同様に、表示パネル1に良好な階調性で画像表示できた。また前述の実施の形態1と同様に、静止画の場合にフィールド毎及び画素毎に変換テーブルが切り変わるのでフリッカーノイズが出ることが懸念されるが、実際には2種類の変換テーブル(ROM41, ROM42)はそれぞれ同一の入力に対して平均値が図6の計算値にほぼ等しく、入力に対して出力の差が変調信号発生部6のパルス幅の最小分解能になるように決めてあるので、フリッカーノイズが目立たなく、しかも良好な階調性を実現できた。更に前述の実施の形態1に比べ、2種類の変換テーブル(ROM41, ROM42)の出力の切り替えを時間軸方向と空間方向(水平方向)で併用したので、更にフリッカーノイズが目立たなく、良好な階調性を実現できた。

【0039】[実施の形態3]次に本発明の実施の形態3について説明する。この実施の形態3と前述の実施の形態1との違いは、輝度データ変換器4の構成が異なるだけで他の構成要素については同じであるので、それらの説明を省略する。

【0040】図11は、本発明の実施の形態3における輝度データ変換器4の構成を示すブロック図である。

【0041】図11において、51~54のそれぞれは変換テーブル(ROM51, ROM52, ROM53, ROM54)を示している。55は変換テーブル制御器で下記の構成を備えている。57, 58のそれぞれは2ビットのカウンタである。カウンタ57は垂直同期信号(VD)をクロックとし、フィールド(或いはフレーム)毎にカウント値を+1している。カウンタ58はデータサンプリングクロック(DCLK)をクロックとして入力し、水平方向の1画素毎にカウント値を+1している。59は2ビット長の加算器である。56はセクタであり、加算器59の出力値に応じて、4種類の変換テーブル(ROM51, ROM52, ROM53, ROM54)のいずれかの出力を選択している。

【0042】図12は、本実施の形態3の変換テーブル制御器55の動作を説明する図で、図13は、本実施の形態3の変換テーブルの内容、即ち、変換テーブル(ROM51, ROM52, ROM53, ROM54)のそれぞれにおけるアドレス対データの関係を示す図である。この図において、入力側は変換テーブル(ROM51~54)のそれぞれの入力アドレス、出力側は変換テーブル(ROM51, ROM52, ROM53, ROM54)のそれぞれに記憶されている値(即ち、入力アドレスに対するROMのデータ出力)を表している。

【0043】次に本実施の形態3における動作を説明する。

【0044】データ並び替え部3からの信号(S2)は輝度データ変換器4に入力される。図11に示す様に、輝度データ変換器4は、4種類の変換データが記憶されている変換テーブル(ROM51~54)を有しており、これらROMを使用してデータ並び替え部3の出力信号(S2)を順次変換する。一方、カウンタ47は、垂直同期信号(VD)をクロックとして入力し、各フィールド(或いはフレーム)毎にカウント値を+1している(この出力をフィールド番号と呼ぶ)。またカウンタ58はデータサンプリングクロック(DCLK)をクロックとして入力し、水平方向の1画素毎にカウント値を+1している(この出力をデータ番号と呼ぶ)。これらフィールド番号及びデータ番号は加算器59に入力され、図12に示す様にフィールド番号及びデータ番号に対応して、4種類の変換テーブル(ROM51, ROM52, ROM53, ROM54)のいずれかの出力を選択している。実際にはカウンタ57, 58の出力(フィールド番号、データ番号)を加算し、その加算結果の下位2ビットをデコードし、そのデコードした値に基づいてセクタ56の切り換えを制御している。即ち、セクタ56は、加算器59の下位2ビット出力が「0」の場合はROM51の出力を、「1」の場合にはROM52の出力を、「2」の場合はROM53の出力を、「3」の場合はROM54の出力を選択する。

【0045】これら4種類の変換テーブル(ROM51, ROM52, ROM53, ROM54)のデータは、ここでは前述の実施の形態と同様にガンマ変換要のデータとして説明する。

【0046】図13は、これらROMのデータの内容を示す図である。

【0047】ここでは前述の実施の形態1と同様に、変換テーブル(ROM51, ROM52, ROM53, ROM54)に記憶するデータを決定した。即ち、4種類の変換テーブル(ROM51, ROM52, ROM53, ROM54)はそれぞれ同一の入力に対して、4種類の変換テーブル(ROM51, ROM52, ROM53, ROM54)の出力の平均値が図13の計算値にほぼ等しく、それぞれの入力に対して、4種類の変換テ



ブル (ROM51, ROM52, ROM53, ROM54) の出力の差が変調信号発生部6のパルス幅の最小分解能 (即ち、同一入力データに対するROMの出力データの差が「1」) になるように決めた。

【0048】この実施の形態3では前述の実施の形態と同様に、良好な階調性で表示パネル1に画像表示できた。また前述の実施の形態と同様に、静止画の場合にフィールド毎及び画素毎に変換テーブルが切り変わるのでフリッカーノイズが出ることが懸念されるが、実際には4種類の変換テーブル (ROM51~54) はそれぞれ同一の入力に対して平均値が図13の計算値にほぼ等しく、入力に対して出力の差が変調信号発生部6のパルス幅の最小分解能になるように決めてあるので、フリッカーノイズが目立たなく良好な階調性を実現できた。さらに前述の実施の形態1に比べ、4種類の変換テーブル

(ROM51~54) の出力の切り替えを時間軸方向と空間方向 (水平方向) で併用したので、更にフリッカーノイズが目立つことなく良好な階調性を実現できた。また前述の実施の形態2に比べ、4種類の変換テーブルを用いたので、更に良好な階調性を実現できた。

【0049】〔実施の形態4〕図14は、この実施の形態4に係る変換テーブル51~54の内容を示す図である。尚、この実施の形態4に係る画像表示装置の他の構成は前述の構成と同様であるので、ここではその説明を省略する。

【0050】図14において、入力側は変換テーブル (ROM51~54) の入力アドレスを示し、出力側は変換テーブル (ROM51~54) のそれぞれに記憶されている変換データ値 (即ち、入力アドレスに対するROM51~54のそれぞれのデータ出力) を意味する。

【0051】前述の実施の形態3と同様に本実施の形態4においても、良好な階調性で表示パネル1に画像を表示することができた。この実施の形態4の変換テーブルの値と前述の実施の形態3の値との相違点は、図14から明らかなように、例えば入力値「02H」 (Hは16進数を示す) の時、ROM51の出力は「01H」、ROM52の出力は「00H」、ROM53の出力は「01H」、ROM54の出力は「00H」とした点である。即ち、計算値の小数点以下第1位の値が「5」の場合に、変換テーブルの切り替えが時間軸が短く、かつ空間方向 (水平方向) に細くなるように決定する。このように本実施の形態4の様に、4つの変換テーブルを使用する場合には、小数点以下の値が「0.5」の場合に、変換テーブル51~54の出力が交互に同じ値になるようにする。

【0052】このような変換テーブルを使用することによって、前述の実施の形態3に比べ変換テーブルの切り替えが時間軸方向で高い周波数になり、更に空間方向 (水平方向) でも高い空間周波数成分になるので、よりフリッカーノイズが目立たなく良好な階調性を実現でき

た。

【0053】〔実施の形態5〕図15は、本実施の形態5に係る輝度データ変換器4の構成を示すブロック図である。尚、この実施の形態5に係る画像表示装置の他の構成は前述の構成と同様であるので、ここではその説明を省略する。

【0054】カウンタ57は、垂直同期信号 (VD) をクロックとして入力し、フィールド (或いはフレーム) 毎にカウント値を+1している。カウンタ58は水平同期信号 (HD) をクロックとして入力し、垂直方向の1画素毎 (1走査ライン毎) にカウント値を+1している。59は2ビット長の加算器である。56はセクタであり、加算器59の出力に応じて4種類の変換テーブル (ROM51, ROM52, ROM53, ROM54) のいずれかの出力を選択して出力している。

【0055】図16は、本実施の形態5の変換テーブル制御器62の動作を説明するための図である。この実施の形態5の変換テーブル (ROM51, ROM52, ROM53, ROM54) のそれぞれの内容は前述の実施の形態4と同じものを使用した。

【0056】以上の構成において、データ並び替え部3からの信号 (S2) は輝度データ変換器4に入力される。図15に示す様に輝度データ変換器4は、4種類の変換データが記憶されている変換テーブル (ROM51, ROM52, ROM53, ROM54) を有し、これらROMテーブルを使用してデータ並び替え部3の出力信号 (S2) を順次変換する。一方、カウンタ57は垂直同期信号 (VD) をクロックとして入力し、各フィールド (或いはフレーム) 毎にカウント値を+1している (出力値をフィールド番号と呼ぶ)。またカウンタ58は水平同期信号 (HD) をクロックとして入力し、垂直方向の1画素毎にカウント値を+1している (この出力を走査ライン番号と呼ぶ)。これらフィールド番号と走査ライン番号は加算器59に入力され、図16に示す様にフィールド番号及び走査ライン番号に対応して、4種類の変換テーブル (ROM51~54) のいずれかの出力を選択する。実際にはカウンタ57, 58の各出力2ビット (フィールド番号、走査ライン番号) を加算し、その下位2ビットをデコードし、そのデコード結果に従ってセクタ56を制御する。即ち、セクタ56は、加算器59の下位2ビット出力が「0」の場合にはROM51を、「1」の場合はROM52、「2」の場合はROM53、「3」の場合にはROM54の出力を選択している。

【0057】この実施の形態5においても、前述の実施の形態のように、表示パネル1に良好な階調性の画像を表示できた。また前述の実施の形態4の場合と同様に、静止画の場合にフィールド毎及び画素毎に変換テーブルが切り変わるのでフリッカーノイズが出ることが懸念されるが、実際には4種類の変換テーブル (ROM51~



54)はそれぞれ同一の入力に対して、平均値が図14の計算値にほぼ等しく入力に対して出力の差が輝度変調信号発生部6のパルス幅の最小分解能になるように決めてあるので、フリッカーノイズが目立たなく良好な階調性を実現できた。また前述の実施の形態4に比べ、4種類の変換テーブル(ROM51~54)の各出力の切り替えを、時間軸方向と空間方向(垂直方向)により行うようにしたので、走査ライン幅の狭い(垂直方向の長さが短い素子によって構成されるマトリクス型の表示パネル)において良好な階調性を実現できた。

【0058】[実施の形態6]図17は、本実施の形態6に係る輝度データ変換器4の構成を示すブロック図である。尚、この実施の形態6に係る画像表示装置の他の構成は前述の構成と同様であるので、ここではその説明を省略する。

【0059】カウンタ63は、垂直同期信号(VD)をクロックとして入力し、フィールド(或いはフレーム)毎にカウント値を+1している。カウンタ64は水平同期信号(HD)をクロックとして入力し、垂直方向の1画素毎(1走査ライン毎)にカウント値を+1している。またカウンタ65はデータサンプリングクロック

(DCLK)をクロックとして入力し、水平方向の1画素毎にカウント値を+1している。66は2ビット長の加算器である。56はセレクトであり、加算器66の出力に応じて4種類の変換テーブル(ROM51, ROM52, ROM53, ROM54)のいずれかの出力を選択して出力している。

【0060】図18(A)~(D)は、本実施の形態6の変換テーブル制御器67の動作を説明するための図である。この実施の形態6の変換テーブル(ROM51, ROM52, ROM53, ROM54)のそれぞれの内容は前述の実施の形態4と同じものを使用した。

【0061】以上の構成において、データ並び替え部3の信号(S2)は輝度データ変換器4に入力される。図17に示す様に、輝度データ変換器4は、4種類の変換データが記憶されている変換テーブル(ROM51~54)を有し、データ並び替え部3の出力信号(S2)を順次変換する。一方、カウンタ63は垂直同期信号(VD)をクロックとして入力し、各フィールド(或いはフレーム)毎にカウント値を1だけ増加する(出力をフィールド番号と呼ぶ)。カウンタ64は水平同期信号(HD)をクロックとして入力し、垂直方向の1画素毎にカウント値を+1している(この出力を走査ライン番号と呼ぶ)。またカウンタ65はデータクロック(DCLK)をクロックとして入力し、水平方向の1画素毎にカウント値を1だけ増加している(この出力をデータ番号と呼ぶ)。

【0062】これらフィールド番号と走査ライン番号とデータ番号は、加算器66に入力され、図18(A)~(D)に示す様に、フィールド番号と走査ライン番号と

データ番号とに対応して、4種類の変換テーブル(ROM51~54)のいずれかの出力を選択する。実際には、カウンタ63~65の各出力2ビット(フィールド番号、走査ライン番号、データ番号)を加算し、その加算結果の下位2ビットをデコードし、そのデコードした信号に応じてセレクト56を制御している。即ち、セレクト56は、加算器66の下位2ビット出力が「0」の場合にはROM51の出力を、「1」の場合にはROM52の出力を、「2」の場合にはROM53の出力を、「3」の場合にはROM54の出力を選択して出力する。

【0063】図18(A)はフィールド番号0、(B)はフィールド番号1、(C)はフィールド番号2、そして(D)はフィールド番号3の場合にそれぞれ対応している。

【0064】本実施の形態6においても、良好な階調性で表示パネル1に画像を表示できた。また前述の実施の形態と同様に、特に静止画の場合にフィールド毎及び画素毎に変換テーブルが切り替わるのでフリッカーノイズが出るのが懸念されるが、実際には4種類の変換テーブル(ROM51~54)はそれぞれ同一の入力に対して、平均値が図14の計算値にほぼ等しく、特に入力に対して出力の差が変調信号発生部6のパルス幅の最小分解能になるように決めてあるので、フリッカーノイズが目立たなく良好な階調性を実現できた。

【0065】これにより前述の実施の形態1に比べ、4種類の変換テーブル(ROM51~54)の出力の切り替えを、時間軸方向と空間方向(水平方向)で併用したので、よりフリッカーノイズが目立たなく、良好な階調性の再現を実現できた。

【0066】[実施の形態7]図19は、本実施の形態7に係る輝度データ変換器4の構成を示すブロック図である。尚、この実施の形態7に係る画像表示装置の他の構成は前述の構成と同様であるので、ここではその説明を省略する。

【0067】図19において、51~54は変換テーブル(ROM51~54)、63, 64, 68のそれぞれは2ビットのカウンタである。カウンタ63は垂直同期信号(VD)をクロックとして入力し、各フィールド

(或いはフレーム)毎にカウント値を1だけ増加する。カウンタ64は水平同期信号(HD)をクロックとして入力し、垂直方向の1画素毎にカウント値を1だけ増加している。カウンタ68はシフトクロック(SCLK)をクロックとして入力し、水平方向の1画素毎にカウント値を1だけ増加する。66は2ビット長の加算器である。56はセレクトであり、加算器66の出力に応じて、4種類の変換テーブル(ROM51~54)のいずれかの出力を選択する。

【0068】図20(A)~(D)は、本実施の形態7の変換テーブル制御器4の動作を説明するための図であ

る。尚、この実施の形態7の変換テーブル(ROM51~54)の内容は前述の実施の形態4と同じものを使用した。またこの実施の形態7の動作タイミング図は、前述の実施の形態とはほぼ同じなので省略した。

【0069】以上の構成において、データ並び替え部3からの信号(S2)が輝度データ変換器4に入力される。ここで図19に示す様に、輝度データ変換器4は4種類の変換データが記憶されている変換テーブル(ROM51~54)を有し、これらROMを使用してデータ並び替え部3の出力信号(S2)を順次変換する。一方、カウンタ63は垂直同期信号(VD)をクロックとして入力し、各フィールド(或いはフレーム)毎にカウント値を+1する(この出力をフィールド番号と呼ぶ)。カウンタ64は水平同期信号(HD)をクロックとして入力し、垂直方向の1画素毎にカウント値を+1する(この出力を走査ライン番号と呼ぶ)。更にカウンタ68はシフトクロック(SCLK)をクロックとして入力し、水平方向の1画素毎にカウント値を1だけ増加している(この出力を変調信号ライン番号と呼ぶ)。ここで変調信号ライン番号「0」、「1」、「2」は、表示パネル1上でR、G、Bの画素配列に対応するので、図20(A)~(D)において、変調信号ライン番号を単にR、G、Bで表した。ここで、カウンタ68は3進カウンタを使用した。

【0070】これらフィールド番号と走査ライン番号と変調信号ライン番号はともに加算器66に入力され、図20(A)~(D)に示す様に、フィールド番号と走査ライン番号とデータ番号に対応して4種類の変換テーブル(ROM51~54)のそれぞれの出力を選択する。実際にはカウンタ63、64及び68の各出力2ビット(フィールド番号、走査ライン番号、変調信号ライン番号)を加算し、下位2ビットをデコードし、そのデコード結果に応じてセクタ56における切り換えを制御している。即ち、加算器66の下位2ビット出力が「0」の場合はROM51の出力、「1」の場合はROM52の出力を、「2」の場合はROM53の出力を、「3」の場合はROM54の出力が選択されて出力される。

【0071】以上の構成においても、良好な階調性で表示パネル1に画像を表示できた。また前述の実施の形態1と同様に、特に静止画の場合にフィールド毎及び走査ライン及び画素毎に変換テーブルが切り変わるのでフリッカーノイズ(特に水平方向は素子毎に変換テーブルを切り替えているので色の変化等)が出ることが懸念されるが、実際には4種類の変換テーブル(ROM51~54)はそれぞれ同一の入力に対して平均値が表14の計算値にほぼ等しく、特に入力に対して出力の差が変調信号発生部6のパルス幅の最小分解能になるように決めているので、フリッカーノイズが目立たなく良好な階調性を実現できた。

【0072】また本実施の形態7では、前述の実施の形

態1に比べて4種類の変換テーブル51~54の出力の切り換えを、時間軸方向と空間方向(水平方向、垂直方向)で併用したので、更にフリッカーノイズがまったく目立たなく良好な階調性を実現できた。

【0073】<変換テーブルの特性説明>本実施の形態では、説明の便宜上、変換テーブルのデータがガンマ変換用のデータの例を示したが、コントラストを変換するための変換テーブルの場合でも同様に実現可能である。

【0074】図21は、本発明の他の実施の形態のコントラスト変換テーブルの特性例を示すグラフ図である。

【0075】図22は、この場合の輝度データ変換テーブルデータの構成例を示す図である。

【0076】この実施の形態では、4個の輝度データ変換テーブルを備える場合の例を挙げたので、例えば前述の実施の形態3以降に相当する4種類の変換テーブル

(ROM51~54)の変換用データを書き換えるだけで対応できるのは言うまでもない。また、これら変換テーブルの個数が異なっても同様に対応できるのは言うまでもない。

【0077】<変換テーブル制御器40の他の実現法>また本実施の形態では、変換テーブル制御器40はフリップフロップ、或いはカウンタの出力をそのまま、或いは排他的論理和回路、或いは加算器による加算結果によりセクタ56における選択を制御して、選択する変換テーブルを切り替えるようにした。しかし本発明はこれに限定されるものでなく、複数の変換テーブルがひとつのROM上に記憶されていてROMのアドレス線を制御して変換テーブルの切り換えを行っても良い。また加算器を用いずに、前述の複数のカウンタの計数値を入力してデコードし、そのデコードした結果に応じてセクタにおける選択を制御するデコード回路を用いてもよい。

【0078】<変調信号発生部6の他の実現法>本実施の形態では、変調信号発生部6は、図2に示したようにダウンカウンタ61を使用した例を挙げたが、例えばアップカウンタとコンパレータとレジスタで構成しても良い。この場合レジスタは、シフトレジスタ5からの出力デジタルデータ(XD1~XD480)をロード信号(Ld)でロードする。またアップカウンタは、クロック(PCLK)を入力して初期値「0」からカウントアップする。このレジスタとアップカウンタの出力はコンパレータに入力して比較され、コンパレータはレジスタに「ロードされたデータ(設定値)」と「アップカウンタのカウント値」が等しくなるまでパルス信号を出力し、これらが一致するとその出力をオフにする。この構成によっても「ロードされたデータ(設定値)」×「クロック(PCLK)周期」で決まるパルス幅の信号を出力することが可能である。当然この構成は、本発明の実施の形態1~7に対応できる。

【0079】<その他の実施の形態>また、上記本実施の形態では、表示パネル1の素子が冷陰極型放出素子の

場合で説明したが、むしろ、いずれの電子放出素子に対しても適用出来る。例えば、冷陰極型放出素子としては、表面伝導型放出素子或いはFE型放出素子或いは、MIM型放出素子であっても問題なく適用出来る。

【0080】また、本実施の形態では、パルス幅変調された信号のパルス幅によって階調表現を実現する構成を示したが、本発明の思想によれば、電圧値や、電流値によって階調表現を実現する表示装置であっても構わない。そのため、EL素子や液晶を使用した表示装置であっても本実施の形態は適応できる。

【0081】（表示パネルの構成と製造法）次に、本発明の実施の形態に係る画像表示装置の表示パネル1の構成とその製造法について、具体的な例を示して説明する。

【0082】図23は、本実施の形態に用いた表示パネル1の斜視図であり、その内部構造を示すために表示パネルの1部を切り欠いて示している。

【0083】図中、1005はリアプレート、1006は側壁、1007はフェースプレートであり、1005～1007により表示パネルの内部を真空に維持するための気密容器を形成している。この気密容器を組み立てるにあたっては、各部材の接合部に十分な強度と気密性を保持させるため封着する必要があるが、例えばフリットガラスを接合部に塗布し、大気中あるいは窒素雰囲気中で、400℃～500℃で10分以上焼成することにより封着を達成した。この気密容器内部を真空に排気する方法については後述する。

【0084】リアプレート1005には、基板1001が固定されているが、該基板には表面伝導型放出素子1002がN×M個形成されている。（N、Mは2以上の正の整数であり、目的とする表示画素数に応じて適宜設定される。例えば、高品位テレビジョンの表示を目的とした表示装置においては、N=3000、M=1000以上の数を設定することが望ましい。本実施の形態においては、N=3072、M=1024とした）。これらN×M個の表面伝導型放出素子は、M本の行方向配線1003とN本の列方向配線1004により単純マトリクス配線されている。これら1001～1004によって構成される部分をマルチ電子源と呼ぶ。尚、このマルチ電子源の製造方法や構造については、後で詳しく述べる。

【0085】本実施の形態においては、気密容器のリアプレート1005にマルチ電子源の基板1001を固定する構成としたが、マルチ電子源の基板1001が十分な強度を有するものである場合には、気密容器のリアプレートとしてマルチ電子源の基板1001自体を用いてもよい。

【0086】また、フェースプレート1007の下面には、蛍光膜1008が形成されている。本実施の形態はカラー表示装置であるため、蛍光膜1008の部分には

CRTの分野で用いられる赤、緑、青、の3原色の蛍光体が塗り分けられている。各色の蛍光体は、例えば図24（A）に示すようにストライプ状に塗り分けられ、蛍光体のストライプの間には黒色の導電体1010が設けられている。これら黒色の導電体1010を設ける目的は、電子の照射位置に多少のずれがあっても表示色にずれが生じないようにするためや、外光の反射を防止して表示コントラストの低下を防ぐため、電子による蛍光膜のチャージアップを防止するためなどである。黒色の導電体1010には、黒鉛を主成分として用いたが、上記の目的に適するものであればこれ以外の材料を用いても良い。

【0087】また、3原色の蛍光体の塗り分け方は図24（A）に示したストライプ状の配列に限られるものではなく、例えば図24（B）に示すようなデルタ状配列や、それ以外の配列であってもよい。なお、モノクロームの表示パネルを作成する場合には、単色の蛍光体材料を蛍光膜1008に用いればよく、また黒色導電材料は必ずしも用いなくともよい。

【0088】また、蛍光膜1008のリアプレート側の面には、CRTの分野では公知のメタルバック1009を設けてある。メタルバック1009を設けた目的は、蛍光膜1008が発する光の一部を鏡面反射して光利用率を向上させるためや、負イオンの衝突から蛍光膜1008を保護するためや、電子ビーム加速電圧を印加するための電極として作用させるためや、蛍光膜1008を励起した電子の導電路として作用させるためなどである。メタルバック1009は、蛍光膜1008をフェースプレート基板1007上に形成した後、蛍光膜の表面を平滑化処理し、その上にAl（アルミニウム）を真空蒸着する方法により形成した。なお、蛍光膜1008に低電圧用の蛍光体材料を用いた場合には、メタルバック1009は用いない。

【0089】また、本実施の形態では用いなかったが、加速電圧の印加用や蛍光膜の導電性向上を目的として、フェースプレート基板1007と蛍光膜1008との間に、例えばITOを材料とする透明電極を設けてもよい。

【0090】また、Dx1～DxMおよびDy1～DyNおよびHvは、当該表示パネル1と不図示の電気回路とを電気的に接続するために設けた気密構造の電気接続用端子である。行端子Dx1～DxMはマルチ電子源の行方向配線1003と、また列端子Dy1～DyNはマルチ電子源の列方向配線1004と、Hvはフェースプレートのメタルバック1009とそれぞれ電気的に接続している。

【0091】また、この気密容器の内部を真空に排気するには、気密容器を組み立てた後、不図示の排気管と真空ポンプとを接続し、気密容器内を10のマイナス7乗〔tott〕程度の真空度まで排気する。その後、排気管を封止するが、気密容器内の真空度を維持するために、封

止の直前あるいは封止後に気密容器内の所定の位置にゲッター膜（不図示）を形成する。このゲッター膜とは、例えばBa（バリウム）を主成分とするゲッター材料をヒータもしくは高周波加熱により加熱し蒸着して形成した膜であり、このゲッター膜の吸着作用により気密容器内は $1 \times 10$ のマイナス5乗乃至 $1 \times 10$ マイナス7乗 [torr] の真空度に維持される。

【0092】以上、本発明の実施の形態の表示パネル1の基本構成と製法を説明した。

【0093】次に、本実施の形態の表示パネル1に用いたマルチ電子源の製造方法について説明する。本発明の実施の形態の画像表示装置に用いるマルチ電子源は、表面伝導型放出素子を単純マトリクス配線した電子源であれば表面伝導型放出素子の材料や形状あるいは製法に制限はない。しかしながら本願発明者らは、表面伝導型放出素子の中では、電子放出部もしくはその周辺部を微粒子膜から形成したものが電子放出特性に優れ、しかも製造が容易に行えることを見出している。従って、この表面伝導型放出素子が高輝度で大画面の画像表示装置のマルチ電子源に用いるには、最も好適であると言える。そこで、上記実施の形態の表示パネル1においては、電子放出部もしくはその周辺部を微粒子膜から形成した表面伝導型放出素子を用いた。そこで、まず好適な表面伝導型放出素子について基本的な構成と製法および特性を説明し、その後で多数の素子を単純マトリクス配線したマルチ電子源の構造について述べる。

【0094】（表面伝導型放出素子の好適な素子構成と製法）電子放出部もしくはその周辺部を微粒子膜から形成する表面伝導型放出素子の代表的な構成には、平面型と垂直型の2種類があげられる。

【0095】（平面型の表面伝導型放出素子）まず最初に、平面型の表面伝導型放出素子の素子構成と製法について説明する。図25に示すのは、平面型の表面伝導型放出素子の構成を説明するための平面図（A）および断面図（B）である。

【0096】図中、1101は基板、1102と1103は素子電極、1104は導電性薄膜、1105は通電フォーミング処理により形成した電子放出部、1113は通電活性化処理により形成した薄膜である。基板1101としては、例えば、石英ガラスや青板ガラスをはじめとする各種ガラス基板や、アルミナをはじめとする各種セラミクス基板、あるいは上述の各種基板上に例えばSiO<sub>2</sub>を材料とする絶縁層を積層した基板、などを用いることができる。また、基板1101上に基板面と平行に対向して設けられた素子電極1102と1103は、導電性を有する材料によって形成されている。例えば、Ni、Cr、Au、Mo、W、Pt、Ti、Cu、Pd、Ag等をはじめとする金属、あるいはこれらの金属の合金、あるいはIn<sub>2</sub>O<sub>3</sub> SnO<sub>2</sub>をはじめとする金属酸化物、ポリシリコンなどの半導体、などの中から適

宜材料を選択して用いればよい。電極を形成するには、例えば真空蒸着などの製膜技術とフォトリソグラフィ、エッチングなどのパターンニング技術を組み合わせて用いれば容易に形成できるが、それ以外の方法（例えば印刷技術）を用いて形成してもさしつかえない。

【0097】素子電極1102と1103の形状は、本実施の形態の電子放出素子の応用目的に合わせて適宜設計される。一般的には、電極間隔しは通常は数百オングストロームから数百マイクロメータの範囲から適当な数値を選んで設計されるが、中でも表示装置に応用するために好ましいのは数マイクロメータより数十マイクロメータの範囲である。また、素子電極の厚さdについては、通常は数百オングストロームから数マイクロメータの範囲から適当な数値が選ばれる。

【0098】また、導電性薄膜1104の部分には、微粒子膜を用いる。ここで述べた微粒子膜とは、構成要素として多数の微粒子を含んだ膜（島状の集合体も含む）のことをさす。微粒子膜を微視的に調べれば、通常は、個々の微粒子が離間して配置された構造か、あるいは微粒子が互いに隣接した構造か、あるいは微粒子が互いに重なり合った構造が観測される。

【0099】微粒子膜に用いた微粒子の粒径は、数オングストロームから数千オングストロームの範囲に含まれるものであるが、中でも好ましいのは10オングストロームから200オングストロームの範囲のものである。また、微粒子膜の膜厚は、以下に述べるような諸条件を考慮して適宜設定される。即ち、素子電極1102あるいは1103と電気的に良好に接続するのに必要な条件、後述する通電フォーミングを良好に行うのに必要な条件、微粒子膜自身の電気抵抗を後述する適宜の値にするために必要な条件、などである。具体的には、数オングストロームから数千オングストロームの範囲のなかで設定するが、なかでも好ましいのは10オングストロームから500オングストロームの間である。

【0100】また、微粒子膜を形成するのに用いられる材料としては、例えば、Pd、Pt、Ru、Ag、Au、Ti、In、Cu、Cr、Fe、Zn、Sn、Ta、W、Pb、などをはじめとする金属や、PdO、SnO<sub>2</sub>、In<sub>2</sub>O<sub>3</sub>、PbO、Sb<sub>2</sub>O<sub>3</sub>、などをはじめとする酸化物や、HfB<sub>2</sub>、ZrB<sub>2</sub>、LaB<sub>6</sub>、CeB<sub>6</sub>、YB<sub>4</sub>、Gd<sub>2</sub>B<sub>4</sub>、などをはじめとする硼化物や、TiC、ZrC、HfC、TaC、SiC、WC、などをはじめとする炭化物や、TiN、ZrN、HfN、などをはじめとする窒化物や、Si、Ge、などをはじめとする半導体や、カーボン、などがあげられ、これらの中から適宜選択される。

【0101】以上述べたように、導電性薄膜1104を微粒子膜で形成したが、そのシート抵抗値については、10の3乗から10の7乗 [オーム/□] の範囲に含まれるよう設定した。

【0102】なお、導電性薄膜1104と素子電極1102および1103とは、電気的に良好に接続されるのが望ましいため、互いの一部が重なりあうような構造をとっている。その重なり方は、図25の例においては、下から、基板、素子電極、導電性薄膜の順序で積層したが、場合によっては下から基板、導電性薄膜、素子電極、の順序で積層してもさしつかえない。また、電子放出部1105は、導電性薄膜1104の一部に形成された亀裂状の部分であり、電気的には周囲の導電性薄膜よりも高抵抗な性質を有している。亀裂は、導電性薄膜1104に対して、後述する通電フォーミングの処理を行うことにより形成する。亀裂内には、数オングストロームから数百オングストロームの粒径の微粒子を配置する場合がある。なお、実際の電子放出部の位置や形状を精密かつ正確に図示するのは困難なため、図25においては模式的に示した。

【0103】また、薄膜1113は、炭素もしくは炭素化合物よりなる薄膜で、電子放出部1105およびその近傍を被覆している。薄膜1113は、通電フォーミング処理後に、後述する通電活性化の処理を行うことにより形成する。薄膜1113は、単結晶グラファイト、多結晶グラファイト、非晶質カーボン、のいずれかか、もしくはその混合物であり、膜厚は500〔オングストローム〕以下とするが、300〔オングストローム〕以下とするのがさらに好ましい。

【0104】なお、実際の薄膜1113の位置や形状を精密に図示するのは困難なため、図25においては模式的に示した。また、平面図(A)においては、薄膜1113の一部を除去した素子を図示した。

【0105】以上、好ましい素子の基本構成を述べたが、実施の形態においては以下のような素子を用いた。

【0106】即ち、基板1101には青板ガラスを用い、素子電極1102と1103にはNi薄膜を用いた。素子電極の厚さdは1000〔オングストローム〕、電極間隔Lは2〔マイクロメータ〕とした。微粒子膜の主要材料としてPdもしくはPdOを用い、微粒子膜の厚さは約100〔オングストローム〕、幅Wは100〔マイクロメータ〕とした。

【0107】次に、好適な平面型の表面伝導型放出素子の製造方法について説明する。図26(a)～(d)は、表面伝導型放出素子の製造工程を説明するための断面図で、各部材の表記は図25と同一である。

【0108】(1) まず、図26(a)に示すように、基板1101上に素子電極1102および1103を形成する。これら素子電極を形成するにあたっては、予め基板1101を洗剤、純水、有機溶剤を用いて十分に洗浄後、素子電極の材料を堆積させる。(堆積する方法としては、例えば、蒸着法やスパッタ法などの真空成膜技術を用いればよい)。その後、堆積した電極材料を、フォトリソグラフィ・エッチング技術を用いてパターンニ

グし、(a)に示した一対の素子電極(1102と1103)を形成する。

【0109】(2) 次に、同図(b)に示すように、導電性薄膜1104を形成する。この導電性薄膜1104を形成するにあたっては、まず前記(a)の基板に有機金属溶液を塗布して乾燥し、加熱焼成処理して微粒子膜を成膜した後、フォトリソグラフィ・エッチングにより所定の形状にパターンニングする。ここで、有機金属溶液とは、導電性薄膜に用いる微粒子の材料を主要元素とする有機金属化合物の溶液である。(具体的には、本実施の形態では主要元素としてPdを用いた。また、実施の形態では塗布方法として、ディッピング法を用いたが、それ以外の例えばスピナー法やスプレー法を用いてもよい)。また、微粒子膜で作られる導電性薄膜の成膜方法としては、本実施の形態で用いた有機金属溶液の塗布による方法以外の、例えば真空蒸着法やスパッタ法、あるいは化学的気相堆積法などを用いる場合もある。

【0110】(3) 次に、同図(c)に示すように、フォーミング用電源1110から素子電極1102と1103の間に適宜の電圧を印加し、通電フォーミング処理を行って、電子放出部1105を形成する。この通電フォーミング処理とは、微粒子膜で作られた導電性薄膜1104に通電を行って、その一部を適宜に破壊、変形、もしくは変質せしめ、電子放出を行うのに好適な構造に変化させる処理のことである。微粒子膜で作られた導電性薄膜のうち電子放出を行うのに好適な構造に変化した部分(即ち電子放出部1105)においては、薄膜に適当な亀裂が形成されている。なお、電子放出部1105が形成される前と比較すると、形成された後は素子電極1102と1103の間で計測される電気抵抗は大幅に増加する。

【0111】通電方法をより詳しく説明するために、図27に、フォーミング用電源1110から印加する適宜の電圧波形の一例を示す。微粒子膜で作られた導電性薄膜をフォーミングする場合には、パルス状の電圧が好ましく、本実施の形態の場合には同図に示したようにパルス幅T1の三角波パルスをパルス間隔T2で連続的に印加した。その際には、三角波パルスの波高値Vpfを、順次昇圧した。また、電子放出部1105の形成状況をモニタするためのモニタパルスPmを適宜の間隔で三角波パルスの間に挿入し、その際に流れる電流を電流計1111で計測した。

【0112】実施の形態においては、例えば10のマイナス5乗〔torr〕程度の真空雰囲気下において、例えばパルス幅T1を1〔ミリ秒〕、パルス間隔T2を10〔ミリ秒〕とし、波高値Vpfを1パルスごとに0.1〔V〕ずつ昇圧した。そして、三角波を5パルス印加するたびに1回の割りで、モニタパルスPmを挿入した。ここでフォーミング処理に悪影響を及ぼすことがないよ

うに、モニタパルスの電圧  $V_{pm}$  は 0.1 [V] に設定した。そして、素子電極 1102 と 1103 の間の電気抵抗が  $1 \times 10$  の 6 乗 [オーム] になった段階、即ち、モニタパルスの印加時に電流計 1111 で計測される電流が  $1 \times 10$  のマイナス 7 乗 [A] 以下になった段階で、フォーミング処理にかかわる通電を終了した。

【0113】なお、上記の方法は、本実施の形態の表面伝導型放出素子に関する好ましい方法であり、例えば微粒子膜の材料や膜厚、あるいは素子電極間隔  $L$  など表面伝導型放出素子の設計を変更した場合には、それに応じて通電の条件を適宜変更するのが望ましい。

【0114】(4) 次に、図 26 (d) に示すように、活性化用電源 1112 から素子電極 1102 と 1103 の間に適宜の電圧を印加し、通電活性化処理を行って、電子放出特性の改善を行う。この通電活性化処理とは、前記通電フォーミング処理により形成された電子放出部 1105 に適宜の条件で通電を行って、その近傍に炭素もしくは炭素化合物を堆積せしめる処理のことである。

(図においては、炭素もしくは炭素化合物よりなる堆積物を部材 1113 として模式的に示した。) なお、通電活性化処理を行うことにより、行う前と比較して、同じ印加電圧における放出電流を典型的には 100 倍以上に増加させることができる。

【0115】具体的には、10 のマイナス 4 乗ないし 10 のマイナス 5 乗 [torr] の範囲内の真空雰囲気中で、電圧パルスを定期的に印加することにより、真空雰囲気中に存在する有機化合物を起源とする炭素もしくは炭素化合物を堆積させる。堆積物 1113 は、単結晶グラファイト、多結晶グラファイト、非晶質カーボン、のいずれかか、もしくはその混合物であり、膜厚は 500 [オングストローム] 以下、より好ましくは 300 [オングストローム] 以下である。

【0116】この通電方法をより詳しく説明するために、図 28 (a) に、活性化用電源 1112 から印加する適宜の電圧波形の一例を示す。本実施の形態においては、一定電圧の矩形波を定期的に印加して通電活性化処理を行ったが、具体的には、矩形波の電圧  $V_{ac}$  は 14 [V]、パルス幅  $T_3$  は、1 [ミリ秒]、パルス間隔  $T_4$  は 10 [ミリ秒] とした。なお、上述の通電条件は、本実施の形態の表面伝導型放出素子に関する好ましい条件であり、表面伝導型放出素子の設計を変更した場合には、それに応じて条件を適宜変更するのが望ましい。

【0117】図 26 (d) に示す 1114 は該表面伝導型放出素子から放出される放出電流  $I_e$  を捕捉するためのアノード電極で、直流高電圧電源 1115 および電流計 1116 が接続されている。なお、基板 1101 を、表示パネルの中に組み込んでから活性化処理を行う場合には、表示パネルの蛍光面をアノード電極 1114 とし

性処理の進行状況をモニタし、活性化用電源 1112 の動作を制御する。電流計 1116 で計測された放出電流  $I_e$  の一例を図 28 (b) に示すが、活性化電源 1112 からパルス電圧を印加しはじめると、時間の経過とともに放出電流  $I_e$  は増加するが、やがて飽和してほとんど増加しなくなる。このように、放出電流  $I_e$  がほぼ飽和した時点で活性化用電源 1112 からの電圧印加を停止し、通電活性化処理を終了する。

【0118】なお、上述の通電条件は、本実施の形態の表面伝導型放出素子に関する好ましい条件であり、表面伝導型放出素子の設計を変更した場合には、それに応じて条件を適宜変更するのが望ましい。

【0119】以上のようにして、図 26 (e) に示す平面型の表面伝導型放出素子を製造した。

【0120】(垂直型の表面伝導型放出素子) 次に、電子放出部もしくはその周辺を微粒子膜から形成した表面伝導型放出素子のもうひとつの代表的な構成、即ち垂直型の表面伝導型放出素子の構成について説明する。

【0121】図 29 は、垂直型の基本構成を説明するための模式的な断面図であり、図中の 1201 は基板、1202 と 1203 は素子電極、1206 は段差形成部材、1204 は微粒子膜を用いた導電性薄膜、1205 は通電フォーミング処理により形成した電子放出部、1213 は通電活性化処理により形成した薄膜である。

【0122】垂直型が先に説明した平面型と異なる点は、素子電極のうちの片方 (1202) が段差形成部材 1206 上に設けられており、導電性薄膜 1204 が段差形成部材 1206 の側面を被覆している点にある。従って、図 25 の平面型における素子電極間隔  $L$  は、垂直型においては段差形成部材 1206 の段差高  $L_s$  として設定される。なお、基板 1201、素子電極 1202 および 1203、微粒子膜を用いた導電性薄膜 1204、については、前記平面型の説明中に列挙した材料を同様

に用いることが可能である。また、段差形成部材 1206 には、例えば  $SiO_2$  のような電気的に絶縁性の材料を用いる。

【0123】次に、垂直型の表面伝導型放出素子の製法について説明する。

【0124】図 30 (a) ~ (f) は、製造工程を説明するための断面図で、各部材の表記は前述の図 29 と同一である。

【0125】(1) まず、図 30 (a) に示すように、基板 1201 上に素子電極 1203 を形成する。

【0126】(2) 次に、同図 (b) に示すように、段差形成部材を形成するための絶縁層を積層する。絶縁層は、例えば  $SiO_2$  をスパッタ法で積層すればよいが、例えば真空蒸着法や印刷法などの他の成膜方法を用いてもよい。

【0127】(3) 次に、同図 (c) に示すように、絶縁層の上に素子電極 1202 を形成する。



【0128】(4)次に、同図(d)に示すように、絶縁層の一部を、例えばエッチング法を用いて除去し、素子電極1203を露出させる。

【0129】(5)次に、同図(e)に示すように、微粒子膜を用いた導電性薄膜1204を形成する。形成するには、前記平面型の場合と同じく、例えば塗布法などの成膜技術を用いればよい。

【0130】(6)次に、前記平面型の場合と同じく、通電フォーミング処理を行い、電子放出部を形成する。

(図26(c)を用いて説明した平面型の通電フォーミング処理と同様の処理を行えばよい。)

(7)次に、前記平面型の場合と同じく、通電活性化処理を行い、電子放出部近傍に炭素もしくは炭素化合物を堆積させる。(図26(d)を用いて説明した平面型の通電活性化処理と同様の処理を行えばよい)。

【0131】以上のようにして、図30(f)に示す垂直型の表面伝導型放出素子を製造した。

【0132】(表示装置に用いた表面伝導型放出素子の特性)以上、平面型と垂直型の表面伝導型放出素子について素子構成と製法を説明したが、次に表示装置に用いた素子の特性について述べる。

【0133】図31に、本実施の形態の表示装置に用いた素子の(放出電流 $I_e$ )対(素子印加電圧 $V_f$ )特性、および(素子電流 $I_f$ )対(素子印加電圧 $V_f$ )特性の典型的な例を示す。なお、放出電流 $I_e$ は素子電流 $I_f$ に比べて著しく小さく、同一尺度で図示するのが困難であるうえ、これらの特性は素子の大きさや形状等の設計パラメータを変更することにより変化するものであるため、2本のグラフは各々任意単位で図示した。

【0134】本実施の形態の表示装置に用いた素子は、放出電流 $I_e$ に関して以下に述べる3つの特性を有している。

【0135】第一に、ある電圧(これを閾値電圧 $V_{th}$ と呼ぶ)以上の大きさの電圧を素子に印加すると急激に放出電流 $I_e$ が増加するが、一方、閾値電圧 $V_{th}$ 未満の電圧では放出電流 $I_e$ はほとんど検出されない。即ち、放出電流 $I_e$ に関して、明確な閾値電圧 $V_{th}$ を持った非線形素子である。

【0136】第二に、放出電流 $I_e$ は素子に印加する電圧 $V_f$ に依存して変化するため、電圧 $V_f$ で放出電流 $I_e$ の大きさを制御できる。

【0137】第三に、素子に印加する電圧 $V_f$ に対して素子から放出される電流 $I_e$ の応答速度が速いため、電圧 $V_f$ を印加する時間の長さによって素子から放出される電子の電荷量を制御できる。

【0138】以上のような特性を有するため、本実施の形態の表面伝導型放出素子を表示装置に好適に用いることができた。例えば多数の素子を表示画面の画素に対応して設けた表示装置において、第一の特性を利用すれば、表示画面を順次走査して表示を行うことが可能であ

る。即ち、駆動中の素子には所望の発光輝度に応じて閾値電圧 $V_{th}$ 以上の電圧を適宜印加し、非選択状態の素子には閾値電圧 $V_{th}$ 未満の電圧を印加する。駆動する素子を順次切り替えてゆくことにより、表示画面を順次走査して表示を行うことが可能である。

【0139】また、第二の特性か、または第三の特性を利用することにより、発光輝度を制御することができるため、諧調表示を行うことが可能である。

(多数素子を単純マトリクス配線したマルチ電子源の構造)次に、上述の表面伝導型放出素子を基板上に配列して単純マトリクス配線したマルチ電子源の構造について述べる。

【0140】図32に示すのは、図23の表示パネルに用いたマルチ電子源の平面図である。基板上には、図25で示したものと同様な表面伝導型放出素子が配列され、これらの素子は行方向配線電極1003と列方向配線電極1004により単純マトリクス状に配線されている。行方向配線電極1003と列方向配線電極1004の交差する部分には、電極間に絶縁層(不図示)が形成されており、電気的な絶縁が保たれている。

【0141】図32のA-A'に沿った断面を図33に示す。

【0142】なお、このような構造のマルチ電子源は、予め基板上に行方向配線電極1003、列方向配線電極1004、電極間絶縁層(不図示)、および表面伝導型放出素子の素子電極と導電性薄膜を形成した後、行方向配線電極1003および列方向配線電極1004を介して各素子に給電して通電フォーミング処理と通電活性化処理を行うことにより製造した。

【0143】図34は、本実施の形態の表面伝導型放出素子を電子源として用いた表示パネル1に、例えばテレビジョン放送をはじめとする種々の画像情報源より提供される画像情報を表示できるように構成した多機能表示装置の一例を示すための図である。図中、1はディスプレイパネル、2101はディスプレイパネル1の駆動回路で前述の実施の形態で説明した回路を有している。2102はディスプレイコントローラ、2103はマルチプレクサ、2104はデコーダ、2105は入出力インターフェース回路、2106はCPU、2107は画像生成回路、2108および2109および2110は画像メモリインターフェース回路、2111は画像入力インターフェース回路、2112および2113はTV信号受信回路、2114は入力部である。なお、本実施の形態の表示装置は、例えばテレビジョン信号のように映像情報と音声情報の両方を含む信号を受信する場合には、当然映像の表示と同時に音声を再生するものであるが、本実施の形態の特徴と直接関係しない音声情報の受信、分離、再生、処理、記憶などに関する回路やスピーカなどについては説明を省略する。以下、画像信号の流れに沿って各部の機能を説明してゆく。



【0144】まず、TV信号受信回路2113は、例えば電波や空間光通信などのような無線伝送系を用いて伝送されるTV画像信号を受信するための回路である。受信するTV信号の方式は特に限られるものではなく、例えば、NTSC方式、PAL方式、SECAM方式などの諸方式でもよい。また、これらよりさらに多数の走査線よりなるTV信号（例えばMUSE方式をはじめとするいわゆる高品位TV）は、大面積化や大画素数化に適した前記ディスプレイパネルの利点を生かすのに好適な信号源である。TV信号受信回路2113で受信されたTV信号は、デコード2104に出力される。TV信号受信回路2112は、例えば同軸ケーブルや光ファイバなどのような有線伝送系を用いて伝送されるTV画像信号を受信するための回路である。このTV信号受信回路2113と同様に、受信するTV信号の方式は特に限られるものではなく、また本回路で受信されたTV信号もデコード2104に出力される。

【0145】画像入力インターフェース回路2111は、例えばTVカメラや画像読み取りスキャナなどの画像入力装置から供給される画像信号を取り込むための回路で、取り込まれた画像信号はデコード2104に出力される。画像メモリインターフェース回路2110は、ビデオテープレコーダ（以下VTRと略す）に記憶されている画像信号を取り込むための回路で、取り込まれた画像信号はデコード2104に出力される。画像メモリインターフェース回路2109は、ビデオディスクに記憶されている画像信号を取り込むための回路で、取り込まれた画像信号はデコード2104に出力される。画像メモリインターフェース回路2108は、いわゆる静止画ディスクのように、静止画像データを記憶している装置から画像信号を取り込むための回路で、取り込まれた静止画像データはデコード2104に出力される。入出力インターフェース回路2105は、本実施の形態の表示装置と、外部のコンピュータもしくはコンピュータネットワークもしくはプリンタなどの出力装置とを接続するための回路である。画像データや文字データ・図形情報の入出力を行うのはもちろんのこと、場合によっては本表示装置の備えるCPU2106と外部との間で制御信号や数値データの入出力などを行うことも可能である。

【0146】画像生成回路2107は、入出力インターフェース回路2105を介して外部から入力される画像データや文字・図形情報や、あるいはCPU2106より出力される画像データや文字・図形情報に基づき表示用画像データを生成するための回路である。本回路の内部には、例えば画像データや文字・図形情報を蓄積するための書き換え可能メモリや、文字コードに対応する画像パターンが記憶されている読み出し専用メモリや、画像処理を行うためのプロセッサなどをはじめとして画像の生成に必要な回路が組み込まれている。本回路により

生成された表示用画像データは、デコード2104に出力されるが、場合によっては前記入出力インターフェース回路2105を介して外部のコンピュータネットワークやプリンタ入出力することも可能である。CPU2106は、主として本表示装置の動作制御や、表示画像の生成や選択や編集に関わる作業を行う。例えば、マルチプレクサ2103に制御信号を出力し、ディスプレイパネル1に表示する画像信号を適宜選択したり組み合わせたりする。また、その際には表示する画像信号に応じてディスプレイパネルコントローラ2102に対して制御信号を発生し、画面表示周波数や走査方法（例えばインターレースかノンインターレースか）や一画面の走査線の数など表示装置の動作を適宜制御する。また、画像生成回路2107に対して画像データや文字・図形情報を直接出力したり、あるいは前記入出力インターフェース回路2105を介して外部のコンピュータやメモリをアクセスして画像データや文字・図形情報を入力する。

【0147】なお、CPU2106は、むしろこれ以外の目的の作業にも関わるものであっても良い。例えば、パーソナルコンピュータやワードプロセッサなどのように、情報を生成したり処理する機能に直接関わっても良い。あるいは、前述したように入出力インターフェース回路2105を介して外部のコンピュータネットワークと接続し、例えば数値計算などの作業を外部機器と協同して行っても良い。

【0148】入力部2114は、CPU2106に使用者が命令やプログラム、あるいはデータなどを入力するためのものであり、例えばキーボードやマウスのほか、ジョイスティック、バーコードリーダー、音声認識装置など多様な入力機器を用いる事が可能である。デコード2104は、画像生成回路2107ないしTV信号受信回路2113より入力される種々の画像信号を3原色信号、または輝度信号とI信号、Q信号に逆変換するための回路である。なお、同図中に点線で示すように、デコード2104は内部に画像メモリを備えるのが望ましい。これは、例えばMUSE方式をはじめとして、逆変換するに際して画像メモリを必要とするようなテレビ信号を扱うためである。また、画像メモリを備えることにより、静止画の表示が容易になる、あるいは前記画像生成回路2107およびCPU2106と協同して画像の間引き、補間、拡大、縮小、合成をはじめとする画像処理や編集が容易に行えるようになるという利点が生まれるからである。

【0149】また、マルチプレクサ2103は、CPU2106より入力される制御信号に基づき表示画像を適宜選択するものである。即ち、マルチプレクサ2103はデコード2104から入力される逆変換された画像信号のうちから所望の画像信号を選択して駆動回路2101に出力する。その場合には、一画面の表示時間内で画像信号を切り替えて選択することにより、いわゆる多画

面テレビのように、一画面を複数の領域に分けて領域によって異なる画像を表示することも可能である。

【0150】また、ディスプレイパネルコントローラ2102は、CPU2106より入力される制御信号に基づき駆動回路2101の動作を制御するための回路である。まず、ディスプレイパネルの基本的な動作にかかわるものとして、例えばディスプレイパネルの駆動用電源（図示せず）の動作シーケンスを制御するための信号を駆動回路2101に対して出力する。また、ディスプレイパネルの駆動方法に関わるものとして、例えば画面表示周波数や走査方法（例えばインターレースかノンインターレースか）を制御するための信号を駆動回路2101に対して出力する。また、場合によっては表示画像の輝度やコントラストや色調やシャープネスといった画質の調整に関わる制御信号を駆動回路2101に対して出力する場合もある。また、駆動回路2101は、ディスプレイパネル1に印加する駆動信号を発生するための回路であり、前記マルチプレクサ2103から入力される画像信号と、ディスプレイパネルコントローラ2102より入力される制御信号に基づいて動作するものである。

【0151】以上、各部の機能を説明したが、図34に例示した構成により、本実施の形態の表示装置においては多様な画像情報源より入力される画像情報をディスプレイパネル1に表示する事が可能である。即ち、テレビジョン放送をはじめとする各種の画像信号はデコーダ2104において逆変換された後、マルチプレクサ2103において適宜選択され、駆動回路2101に入力される。一方、ディスプレイコントローラ2102は、表示する画像信号に応じて駆動回路2101の動作を制御するための制御信号を発生する。駆動回路2101は、画像信号と制御信号に基づいてディスプレイパネル1に駆動信号を印加する。これにより、ディスプレイパネル1において画像が表示される。これらの一連の動作は、CPU2106により統括的に制御される。

【0152】また、本実施の形態の表示装置においては、デコーダ2104に内蔵する画像メモリや、画像生成回路2107およびCPU2106が関与することにより、単に複数の画像情報の中から選択したものを表示するだけでなく、表示する画像情報に対して、例えば拡大、縮小、回転、移動、エッジ強調、間引き、補間、色変換、画像の縦横比変換などをはじめとする画像処理や、合成、消去、接続、入れ換え、はめ込みなどをはじめとする画像編集を行う事も可能である。また、本実施の形態の説明では特に触れなかったが、上記画像処理や画像編集と同様に、音声情報に関しても処理や編集を行うための専用回路を設けても良い。

【0153】したがって、本実施の形態の表示装置は、テレビジョン放送の表示機器、テレビ会議の端末機器、静止画像および動画を扱う画像編集機器、コンピュー

タの端末機器、ワードプロセッサをはじめとする事務用端末機器、ゲーム機などの機能を一台で兼ね備える事が可能で、産業用あるいは民生用として極めて応用範囲が広い。

【0154】なお、図34は、表面伝導型放出素子を電子源とするディスプレイパネルを用いた表示装置の構成の一例を示したにすぎず、これのみに限定されるものではない事は言うまでもない。例えば、図34の構成要素のうち使用目的上必要のない機能に関わる回路は省いても差し支えない。またこれとは逆に、使用目的によってはさらに構成要素を追加しても良い。例えば、本表示装置をテレビ電話機として応用する場合には、テレビカメラ、音声マイク、照明機、モデムを含む送受信回路などを構成要素に追加するのが好適である。

【0155】本表示装置においては、とりわけ表面伝導型放出素子を電子源とするディスプレイパネルが容易に薄形化できるため、表示装置全体の奥行きを小さくすることが可能である。それに加えて、表面伝導型放出素子を電子源とするディスプレイパネルは大画面化が容易で輝度が高く視野角特性にも優れるため、本表示装置は臨場感あふれ迫力に富んだ画像を視認性良く表示する事が可能である。

【0156】以上説明したように本実施の形態によれば、画像表示装置において、入力データを変換する輝度データ変換器を有し、この輝度データ変換器は2種類以上の変換テーブルを備え、これらを切り換えて入力データを変換する。この変換テーブルの切り換えは、画像の各フィールド或いはフレーム毎、または走査信号ライン毎、または変調信号ライン毎、RGB画素を1つの単位として、またはこれら2つ以上の組み合わせによって輝度データを変換するための変換テーブルの切り替えを行なう。

【0157】また、輝度データ変換器が4種類以上の変換テーブルを持つ場合、各変換テーブルの出力が、表示時間的に短く切り替わるように決定される。

【0158】また、輝度データ変換器が4種類以上の変換テーブルを持つ場合、各変換テーブルの出力が、表示空間的に近くで切り換えられる。

【0159】また、2種類以上の変換テーブルは所望の変換特性を持ち、輝度データ変換器の出力が最小分解の以下に要求される場合、2種類以上の変換テーブルの同一入力における出力の平均値が所望の変換特性にほぼ等しく設定し、2種類以上の変換テーブルの同一入力における出力の差は輝度データ変換器の出力の最小分解能である。

【0160】2種類以上の変換テーブルの切り替えはメモリで構成される変換テーブルをメモリ出力の切り替え、または、メモリのアドレスラインの制御で行なう。

【0161】

【発明の効果】以上説明したように本発明によれば、所

望の輝度分解能で画像信号を補正することができる。

【0162】また本発明によれば、画像信号の階調性を損なうことなく良好な画像を再生できるという効果がある。

【0163】

【図面の簡単な説明】

【図1】本発明の実施の形態の画像表示装置の構成を示すブロック図である。

【図2】本実施の形態の変調信号発生部の回路構成を示すブロック図である。

【図3】本実施の形態の変調信号発生部における動作を説明するためのタイミング図である。

【図4】本発明の実施の形態1の輝度データ変換器の構成を示す回路図である。

【図5】本実施の形態1の輝度データ変換器の変換テーブル制御器の動作を示す図である。

【図6】本実施の形態1の変換テーブルのデータ例を示す図である。

【図7】本発明の実施の形態1の画像表示装置の動作タイミングを示す図である。

【図8】本発明の実施の形態2の輝度データ変換器の構成を示す回路図である。

【図9】本発明の実施の形態2の変換テーブル制御器の動作を示す図である。

【図10】本発明の実施の形態2の画像表示装置の動作を示すタイミング図である。

【図11】本発明の実施の形態3の輝度データ変換器の構成を示す回路図である。

【図12】実施の形態3の変換テーブル制御器の動作を示す図である。

【図13】実施の形態3の変換テーブルデータのデータ構成を示す図である。

【図14】実施の形態4の変換テーブルデータのデータ構成を示す図である。

【図15】本発明の実施の形態5の輝度データ変換器の構成を示す回路図である。

【図16】本実施の形態5の変換テーブル制御器の動作を示す図である。

【図17】本発明の実施の形態6の輝度データ変換器の構成を示す回路図である。

【図18】本実施の形態6の変換テーブル制御器の動作を示す図である。

【図19】本発明の実施の形態7の輝度データ変換器の構成を示す回路図である。

【図20】本実施の形態7の変換テーブル制御器の動作を示す図である。

【図21】本発明の他の実施の形態のコントラスト変換特性の一例を示す図である。

【図22】本発明の他の実施の形態に係るコントラスト変換特性の一例を示す変換テーブルデータを示す図である。

【図23】本発明の実施の形態に係る画像表示装置の表示パネルの一部を切り欠いて示した斜視図である。

【図24】本実施の形態の表示パネルのフェースプレートの蛍光体配列を例示した平面図である。

10 【図25】本実施の形態で用いた平面型の表面伝導型放出素子の平面図(A)、断面図(B)である。

【図26】平面型の表面伝導型放出素子の製造工程を示す断面図である。

【図27】通電フォーミング処理の際の印加電圧波形を示す図である。

【図28】本実施の形態における通電活性化処理の際の印加電圧波形(a)、放電電流 $I_e$ の変化(b)を示す図である。

20 【図29】本実施の形態で用いた垂直型の表面伝導型放出素子の断面図である。

【図30】垂直型の表面伝導型放出素子の製造工程を示す断面図である。

【図31】本実施の形態で用いた表面伝導型放出素子の典型的な特性を示すグラフ図である。

【図32】本実施の形態で用いたマルチ電子源の基板の平面図である。

【図33】実施の形態で用いたマルチ電子源の基板の一部断面図である。

30 【図34】本発明の実施の形態である画像表示装置を用いた多機能画像表示装置のブロック図である。

【図35】従来の画像表示装置のガンマ補正を説明する図である。

【符号の説明】

1 マトリクス型表示パネル

3 データ並び替え部

4 輝度データ変換器

5 シフトレジスタ

6 変調信号発生部

43, 43a, 55 変換テーブル制御部

40 45, 56 セレクタ

51~54 変換テーブル

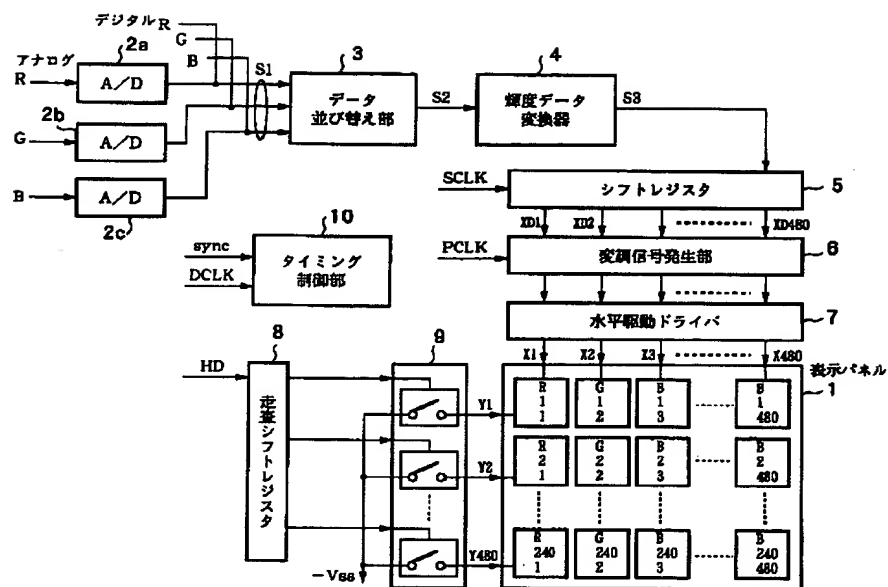
57, 58, 63~65 カウンタ

46 排他的論理和回路

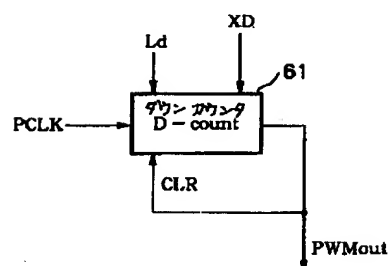
59, 66 加算器

61 ダウンカウンタ

【図 1】



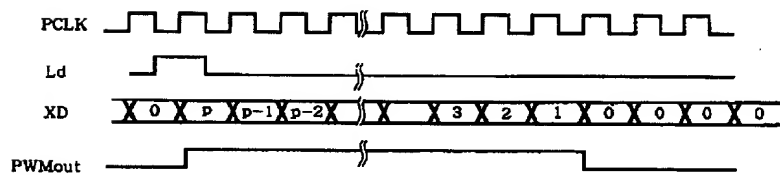
【図 2】



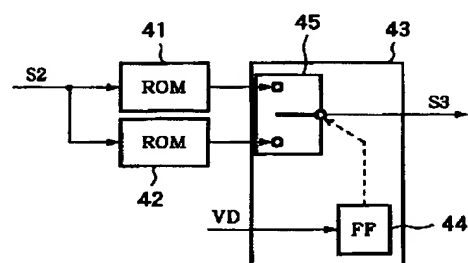
【図 5】

フィールド番号	選択 ROM
0	ROM41
1	ROM42

【図 3】



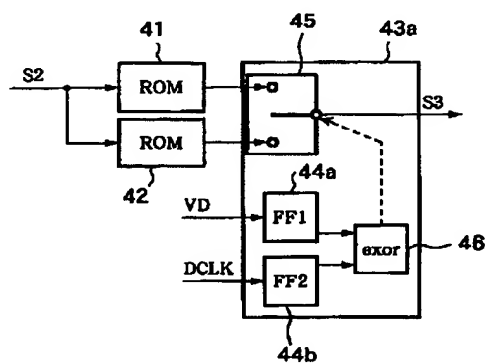
【図 4】



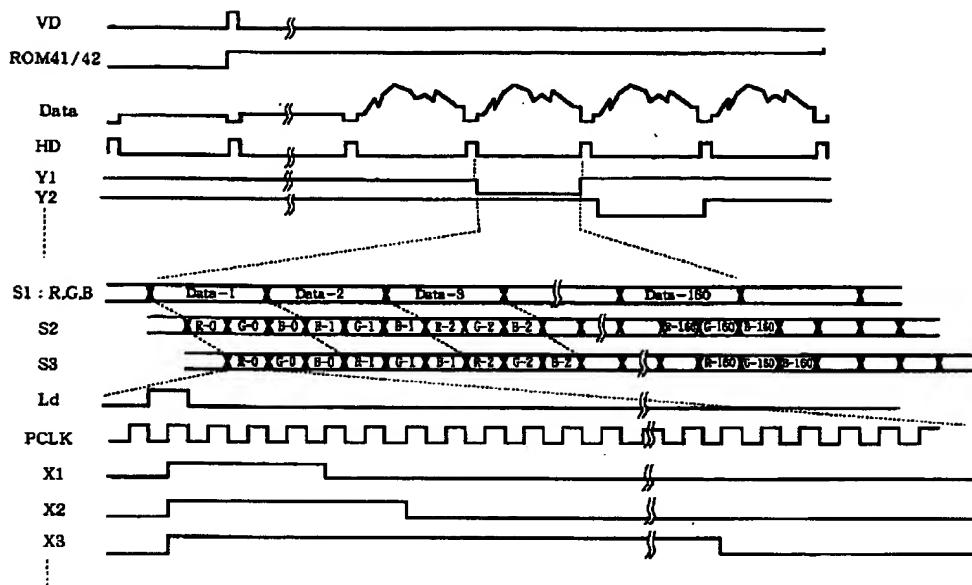
【図 6】

	入力側	計算値	出力側	出力側
1	00H	0.00	00H	00H
2	01H	0.25	00H	00H
3	02H	0.50	01H	00H
4	03H	0.75	01H	00H
5	04H	1.00	01H	01H
6	05H	1.25	01H	01H
...	...	...	...	...
200	C7H	155.775	9CH	9BH
...	...	...	...	...
256	FFH	255.00	FFH	FFH

【図 8】



【図7】

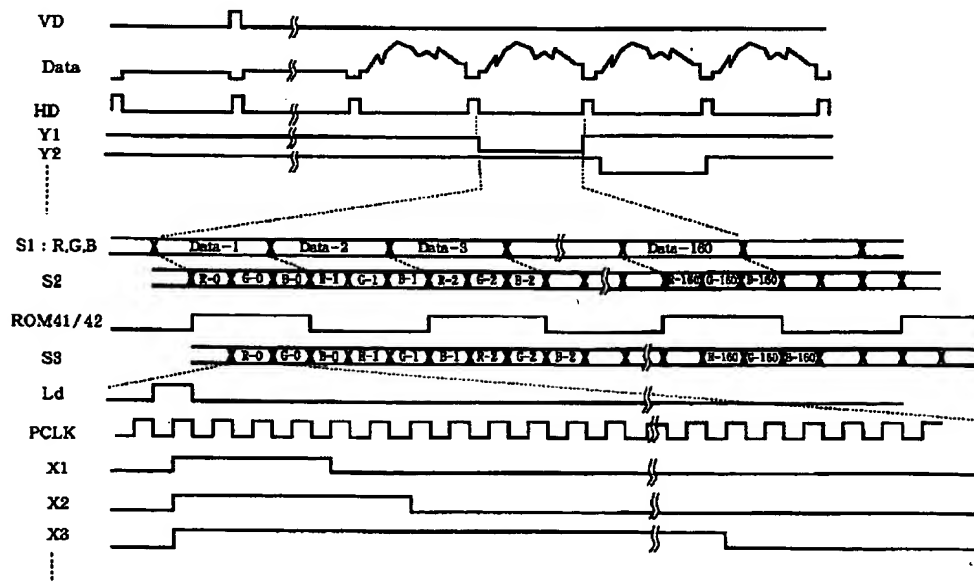


【図9】

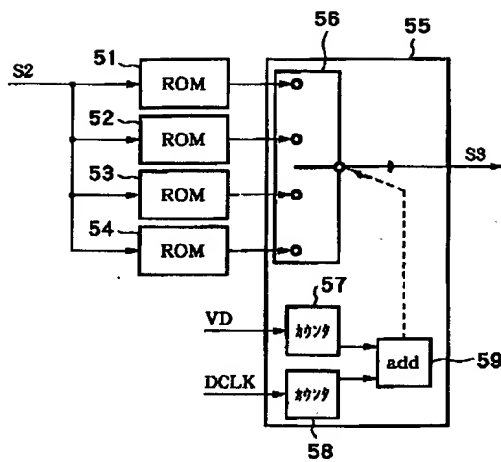
ROM選択テーブル

データ番号 フィールド番号	0	1
0	ROM41	ROM42
1	ROM42	ROM41

【図10】



【図11】



【図13】

	入力側	計算値	出力側	出力側	出力側	出力側
1	00H	0.00	00H	00H	00H	00H
2	01H	0.25	01H	00H	00H	00H
3	02H	0.50	01H	01H	00H	00H
4	03H	0.75	01H	01H	01H	00H
5	04H	1.00	01H	01H	01H	01H
6	05H	1.25	02H	01H	01H	01H
⋮	⋮	⋮	⋮	⋮	⋮	⋮
200	C7H	155.775	9CH	9CH	9CH	9BH
⋮	⋮	⋮	⋮	⋮	⋮	⋮
256	FFH	255.00	FFH	FFH	FFH	FFH

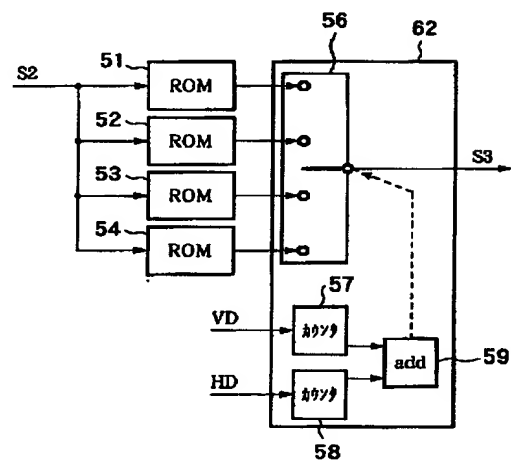
【図14】

	入力側	計算値	出力側	出力側	出力側	出力側
1	00H	0.00	00H	00H	00H	00H
2	01H	0.25	01H	00H	00H	00H
3	02H	0.50	01H	00H	01H	00H
4	03H	0.75	01H	01H	01H	00H
5	04H	1.00	01H	01H	01H	01H
6	05H	1.25	02H	01H	01H	01H
⋮	⋮	⋮	⋮	⋮	⋮	⋮
200	C7H	155.775	9CH	9CH	9CH	9BH
⋮	⋮	⋮	⋮	⋮	⋮	⋮
256	FFH	255.00	FFH	FFH	FFH	FFH

【図12】

データ番号 フィールド番号	0	1	2	3
0	ROM51	ROM52	ROM53	ROM54
1	ROM52	ROM53	ROM54	ROM51
2	ROM53	ROM54	ROM51	ROM52
3	ROM54	ROM51	ROM52	ROM53

【図15】

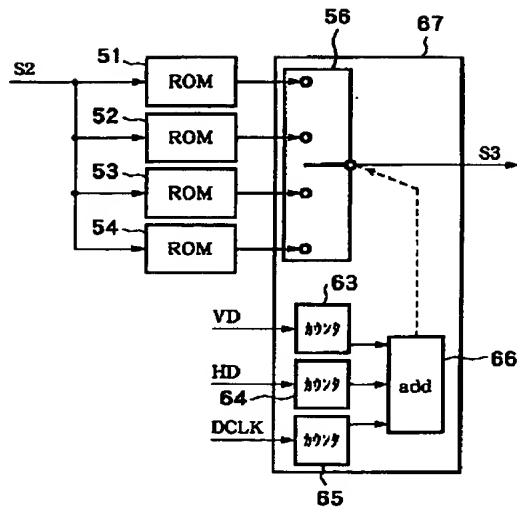


【図16】

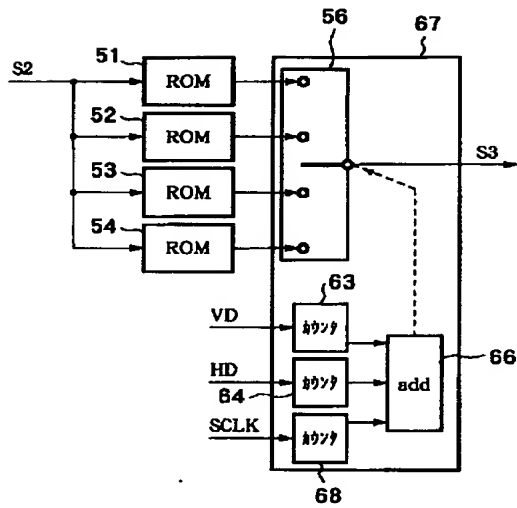
ROM選択テーブル

走査ライン フィールド番号	0	1	2	3
0	ROM51	ROM52	ROM53	ROM54
1	ROM52	ROM53	ROM54	ROM51
2	ROM53	ROM54	ROM51	ROM52
3	ROM54	ROM51	ROM52	ROM53

【図 17】



【図 19】



【図 18】

(A) フィールド番号=0 ROM 選択テーブル

データ番号 \ 走査ライン番号	0	1	2	3
0	ROM51	ROM52	ROM53	ROM54
1	ROM52	ROM53	ROM54	ROM51
2	ROM53	ROM54	ROM51	ROM52
3	ROM54	ROM51	ROM52	ROM53

(B) フィールド番号=1 ROM 選択テーブル

データ番号 \ 走査ライン番号	0	1	2	3
0	ROM52	ROM53	ROM54	ROM51
1	ROM53	ROM54	ROM51	ROM52
2	ROM54	ROM51	ROM52	ROM53
3	ROM51	ROM52	ROM53	ROM54

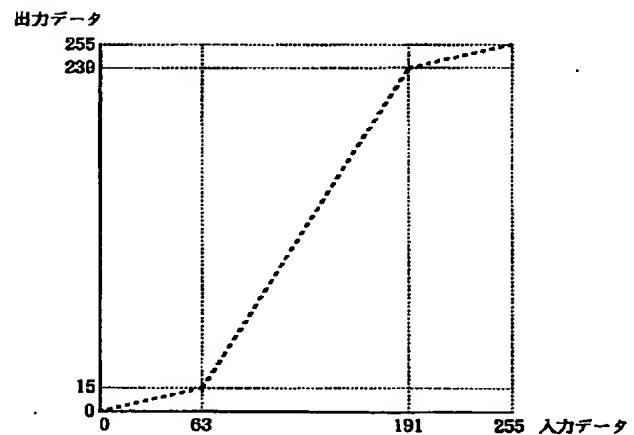
(C) フィールド番号=2 ROM 選択テーブル

データ番号 \ 走査ライン番号	0	1	2	3
0	ROM53	ROM54	ROM51	ROM52
1	ROM54	ROM51	ROM52	ROM53
2	ROM51	ROM52	ROM53	ROM54
3	ROM52	ROM53	ROM54	ROM51

(D) フィールド番号=3 ROM 選択テーブル

データ番号 \ 走査ライン番号	0	1	2	3
0	ROM54	ROM51	ROM52	ROM53
1	ROM51	ROM52	ROM53	ROM54
2	ROM52	ROM53	ROM54	ROM51
3	ROM53	ROM54	ROM51	ROM52

【図 21】





【図20】

フィールド番号=0 ROM選択テーブル

変調信号ライン 番号	R	G	B
走査ライン番号			
0	ROM51	ROM52	ROM53
1	ROM52	ROM53	ROM54
2	ROM53	ROM54	ROM51
3	ROM54	ROM51	ROM52

(A)

フィールド番号=1 ROM選択テーブル

変調信号ライン 番号	R	G	B
走査ライン番号			
0	ROM52	ROM53	ROM54
1	ROM53	ROM54	ROM51
2	ROM54	ROM51	ROM52
3	ROM51	ROM52	ROM53

(B)

フィールド番号=2 ROM選択テーブル

変調信号ライン 番号	R	G	B
走査ライン番号			
0	ROM53	ROM54	ROM51
1	ROM54	ROM51	ROM52
2	ROM51	ROM52	ROM53
3	ROM52	ROM53	ROM54

(C)

フィールド番号=3 ROM選択テーブル

変調信号ライン 番号	R	G	B
走査ライン番号			
0	ROM54	ROM51	ROM52
1	ROM51	ROM52	ROM53
2	ROM52	ROM53	ROM54
3	ROM53	ROM54	ROM51

(D)

【図22】

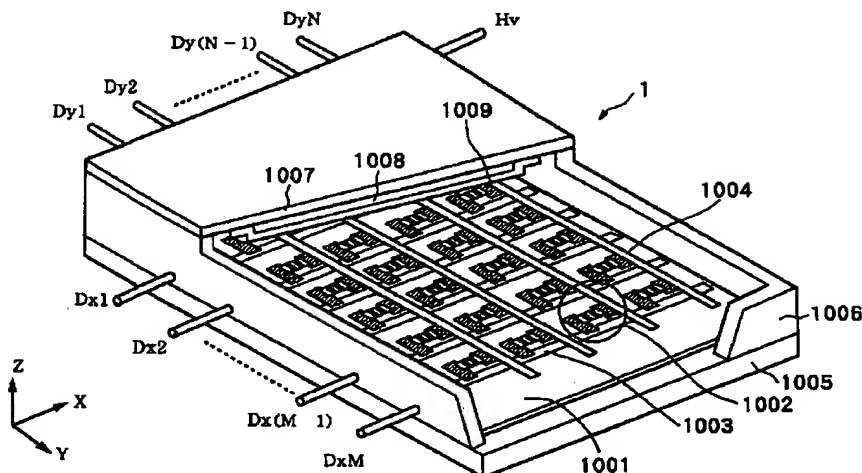
	入力側	計算値	出力側	出力側	出力側	出力側
			ROM51	ROM52	ROM53	ROM54
1	00H	0.00	00H	00H	00H	00H
2	01H	0.25	01H	00H	00H	00H
3	02H	0.50	01H	00H	01H	01H
4	03H	0.75	01H	01H	01H	00H
5	04H	1.00	01H	01H	01H	01H
⋮	⋮	⋮	⋮	⋮	⋮	⋮
64	3FH	15.00	0FH	0FH	0FH	0FH
65	40H	16.75	11H	11H	11H	10H
66	41H	18.5	13H	12H	13H	12H
⋮	⋮	⋮	⋮	⋮	⋮	⋮
256	FFH	255.00	FFH	FFH	FFH	FFH

【図35】

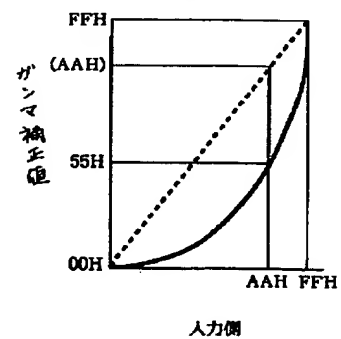
(a)

出力側	入力側
00H	00H
⋮	⋮
55H	AAH
⋮	⋮
FFH	FFH

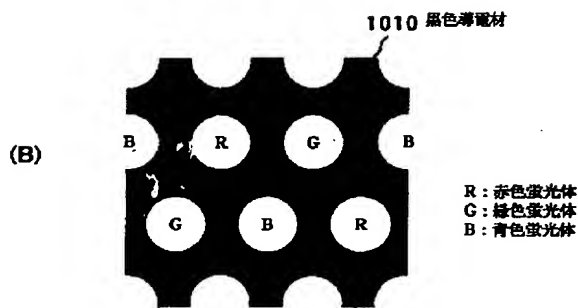
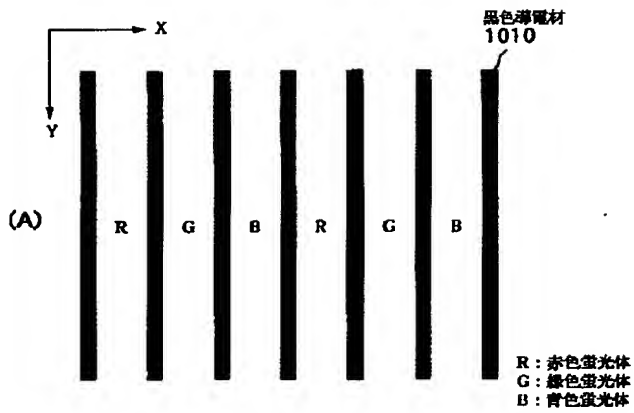
【図23】



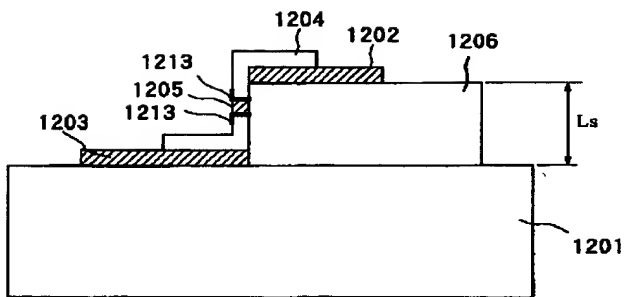
(b)



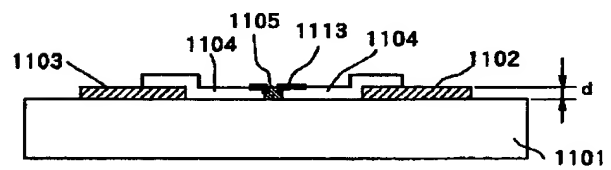
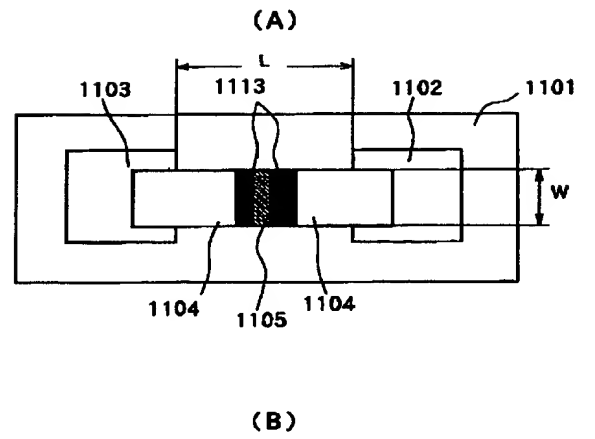
【図24】



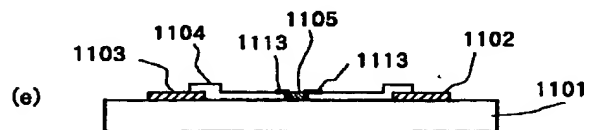
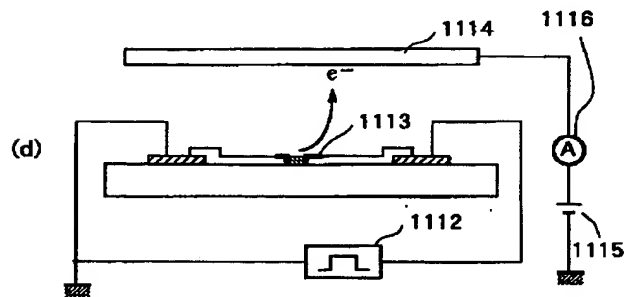
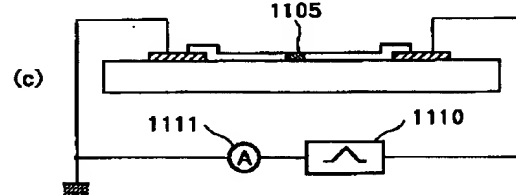
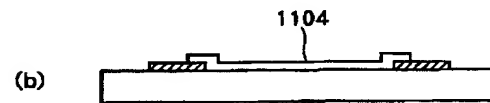
【図29】



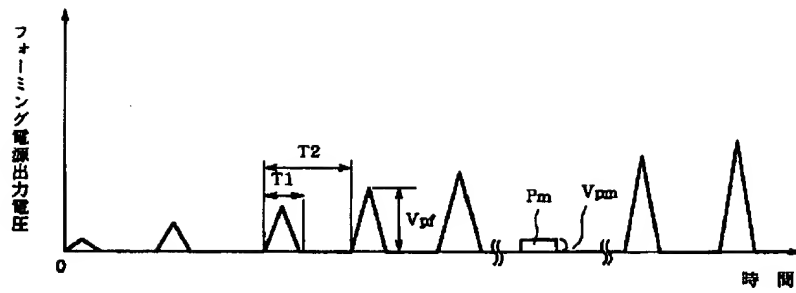
【図25】



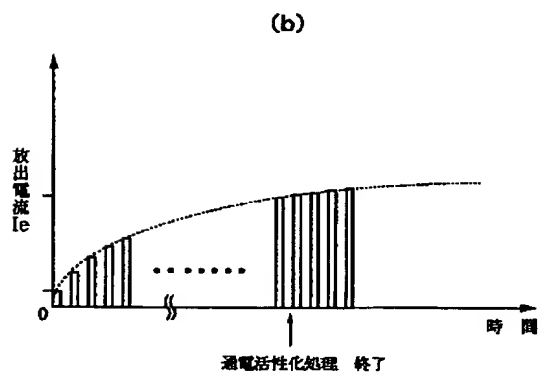
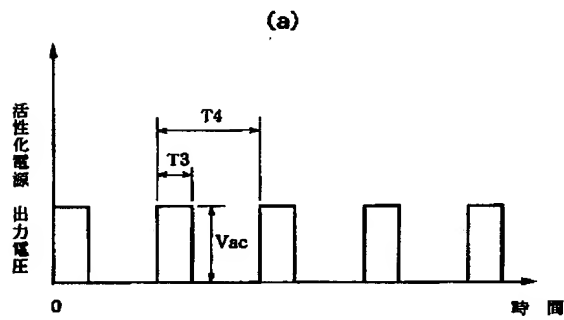
【図26】



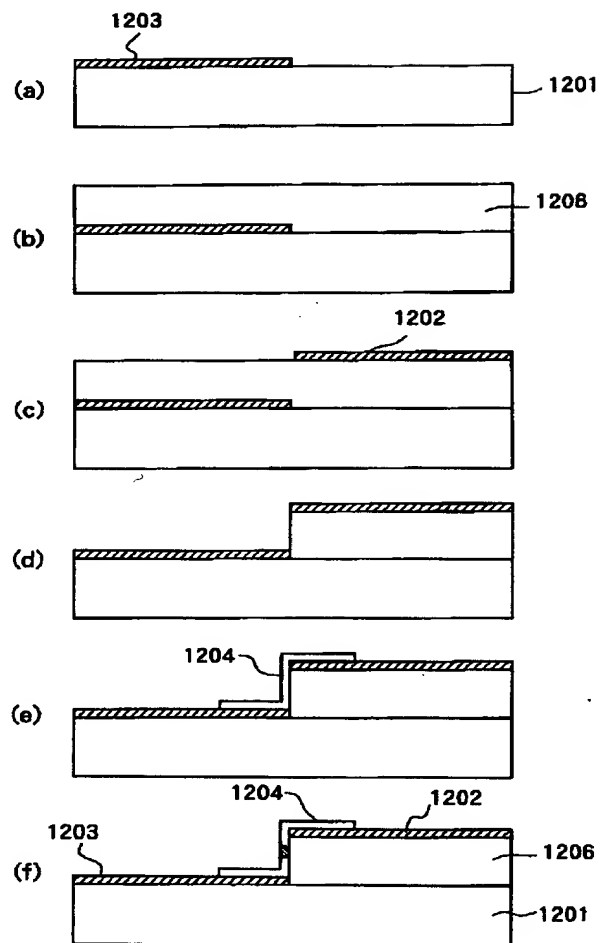
【図 27】



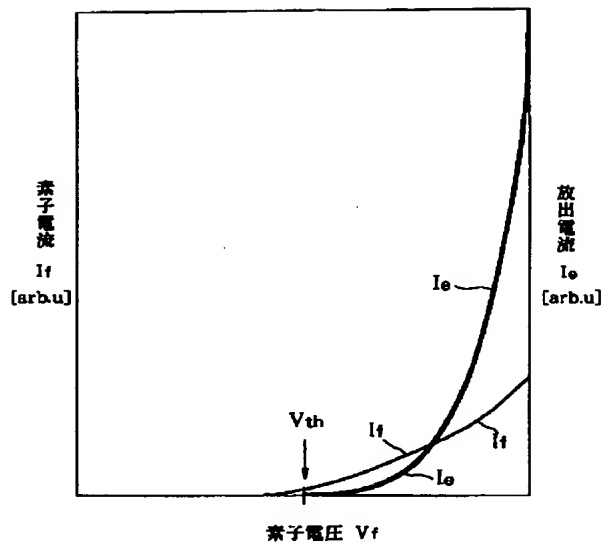
【図 28】



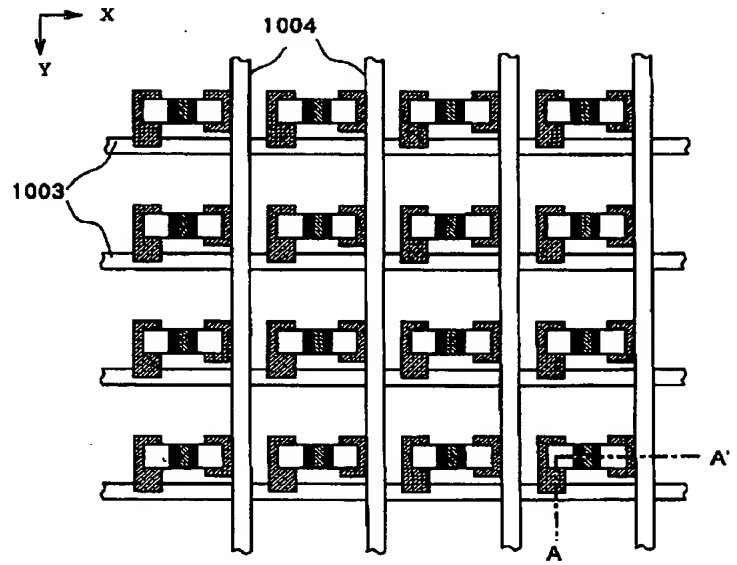
【図 30】



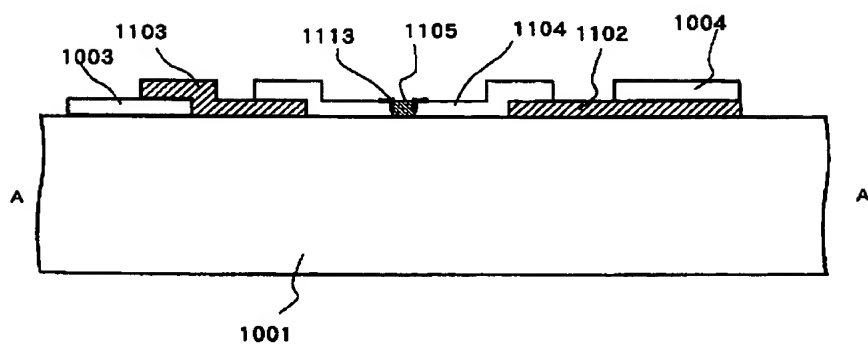
【図 3 1】



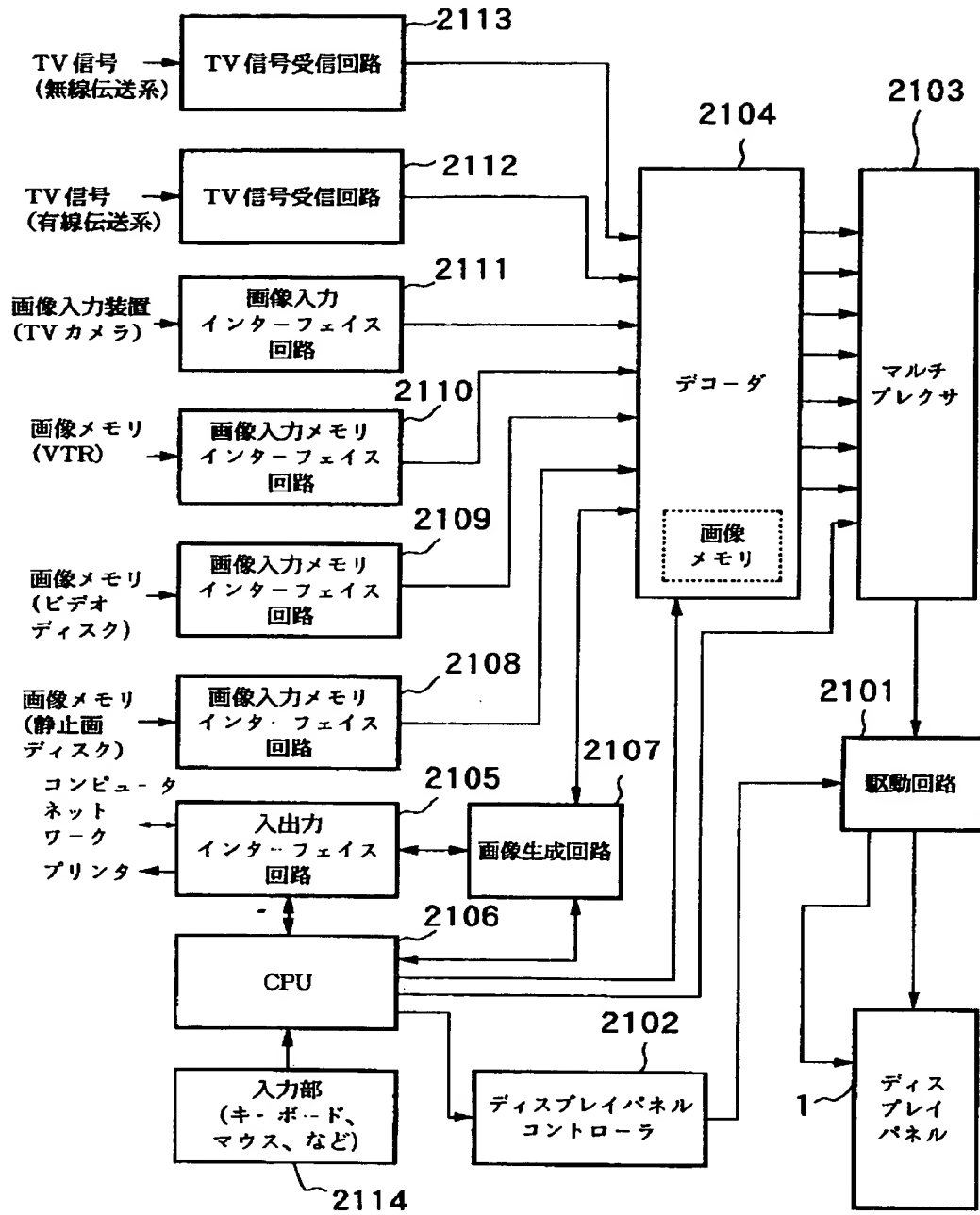
【図 3 2】



【図 3 3】



【図34】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**